

NON-VOLATILE SEMICONDUCTOR MEMORY, OPERATION METHOD AND MANUFACTURING METHOD

Patent number: JP2002164446
Publication date: 2002-06-07
Inventor: KOBAYASHI TOSHIO; MORIYA HIROYUKI; FUJIWARA ICHIRO
Applicant: SONY CORP
Classification:
- International: H01L21/8247; H01L29/788; H01L29/792; G11C16/04; G11C16/02; H01L27/115
- European:
Application number: JP20000336774 20001102
Priority number(s):

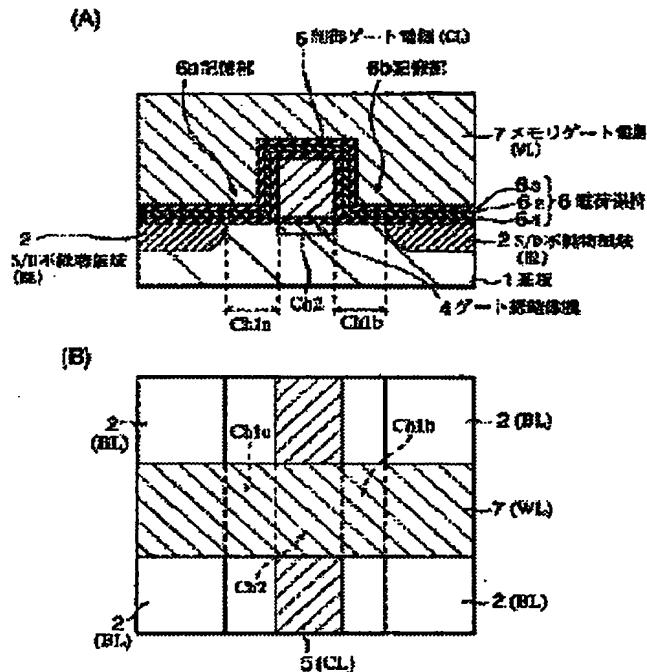
Also published as:

US6721205 (B2)
US2003161192 (A)
JP2002164446 (A)
DE10144700 (A1)

Abstract of JP2002164446

PROBLEM TO BE SOLVED: To provide a non-volatile semiconductor memory having no loss of storage, high in electric charge injection efficiency and enabling parallel operation by VG cell array.

SOLUTION: The non-volatile semiconductor memory is provided with channel formation areas Ch1a, Ch1b, Ch2 and a plurality of laminated dielectric films 6-1, 6-2, 6-3. The non-volatile semiconductor memory has a charge holding film 6 having charge holding ability, two storage parts 6a, 6b comprising the area of the charge holding film 6 overlapped on both ends Ch1a, Ch1b of the channel formation area, a single layer dielectric film 4 in contact with the channel formation area Ch2 between the storage parts 6a, 6b, a control gate electrode 5 in contact with the single layer dielectric film 4, and a memory gate electrode 7 electrically connecting the storage part and the contact part in contact with the storage parts 6a, 6b, respectively.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

BEST AVAILABLE COPY

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-164446

(P2002-164446A)

(43) 公開日 平成14年6月7日 (2002.6.7)

(51) Int.Cl.
H 01 L 21/8247
29/788
29/792
G 11 C 16/04
16/02

識別記号

F I
H 01 L 29/78 3 7 1 5 B 0 2 5
G 11 C 17/00 6 2 3 Z 5 F 0 0 1
6 4 1 5 F 0 8 3
H 01 L 27/10 4 3 4 5 F 1 0 1

マーク (参考)

審査請求 未請求 請求項の数42 OL (全34頁) 最終頁に続く

(21) 出願番号 特願2000-336774(P2000-336774)
(22) 出願日 平成12年11月2日 (2000.11.2)
(31) 優先権主張番号 特願2000-276305(P2000-276305)
(32) 優先日 平成12年9月12日 (2000.9.12)
(33) 優先権主張国 日本 (JP)

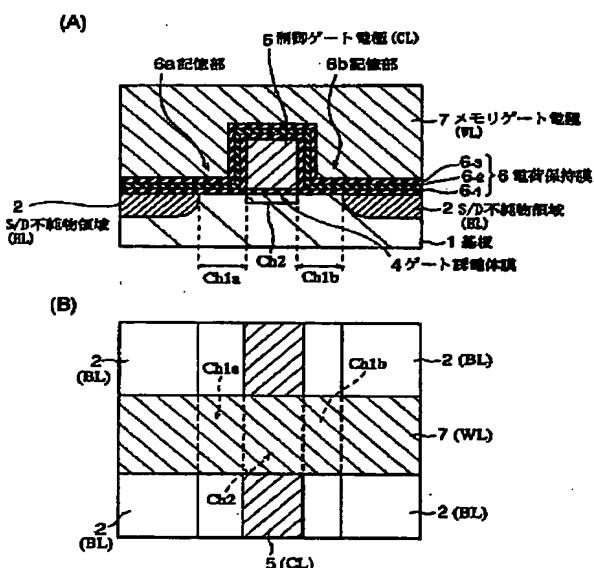
(71) 出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(72) 発明者 小林 敏夫
東京都品川区北品川6丁目7番35号 ソニー株式会社内
(72) 発明者 守屋 博之
東京都品川区北品川6丁目7番35号 ソニー株式会社内
(74) 代理人 100094053
弁理士 佐藤 隆久

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置、動作方法および製造方法

(57) 【要約】

【課題】記憶のボケがなく、電荷注入効率が高く、かつVGセルアレイで並列動作を可能とする。
【解決手段】チャネル形成領域Ch1a, Ch1b, Ch2と、積層された複数の誘電体膜6-1, 6-2, 6-3を備え電荷保持能力を有した電荷保持膜6と、チャネル形成領域の両端部Ch1a, Ch1bに重なる電荷保持膜6の領域からなる2つの記憶部6a, 6bと、記憶部6a, 6b間でチャネル形成領域Ch2上に接した単層の誘電体膜4と、単層の誘電体膜4上に接した制御ゲート電極5と、記憶部6a, 6b上にそれぞれ接し当該記憶部との接觸部同士が電気的に接続されたメモリゲート電極7とを有している。



【特許請求の範囲】

【請求項1】半導体からなるチャネル形成領域と、積層された複数の誘電体膜を備え電荷保持能力を有した電荷保持膜と、上記チャネル形成領域の両端部に重なる上記電荷保持膜の領域からなる2つの記憶部と、上記記憶部間で上記チャネル形成領域上に接した単層の誘電体膜と、上記単層の誘電体膜上に接した制御ゲート電極と、上記2つの記憶部上にそれぞれ接し、当該記憶部との接觸部同士が電気的に接続されたメモリゲート電極とを有した不揮発性半導体記憶装置。

【請求項2】上記チャネル形成領域が、上記記憶部を挟んで上記メモリゲート電極に対向した2つの外側チャネル領域と、

上記2つの外側チャネル領域間に位置し、上記単層の誘電体膜を挟んで上記制御ゲート電極に対向した内側チャネル領域とを有し、

上記2つの外側チャネル領域と上記内側チャネル領域とからなる3つのチャネル領域のしきい値電圧が独立に設定されている請求項1記載の不揮発性半導体記憶装置。

【請求項3】上記2つの外側チャネル領域のしきい値電圧が等しい請求項2記載の不揮発性半導体記憶装置。

【請求項4】上記外側チャネル領域のしきい値電圧が、上記内側チャネル領域のしきい値電圧より低い請求項3記載の不揮発性半導体記憶装置。

【請求項5】上記チャネル形成領域が、上記記憶部を挟んで上記メモリゲート電極に対向した2つの外側チャネル領域と、

上記2つの外側チャネル領域間に位置し、上記単層の誘電体膜を挟んで上記制御ゲート電極に対向した内側チャネル領域とを有し、

上記2つの外側チャネル領域間の距離で規定される上記内側チャネル領域の長さが、動作時に形成されたチャネル内をキャリアが準バリストイックに走行する長さである請求項1記載の不揮発性半導体記憶装置。

【請求項6】上記メモリゲート電極は、上記制御ゲート電極と電気的に絶縁した状態で交差し、上記制御ゲート電極の外側双方で上記記憶部上に接する請求項1記載の不揮発性半導体記憶装置。

【請求項7】上記メモリゲート電極を成す導電材料よりエッチング速度が遅い誘電体からなるエッチングストップ層を、上記制御ゲート電極上有した請求項6記載の不揮発性半導体記憶装置。

【請求項8】上記記憶部の側から上記チャネル形成領域を挟んで互いに離間し、かつ上記チャネル形成領域と逆の導電型を有した半導体からなる2つの不純物領域を有し、

上記2つの不純物領域それぞれがピット線であり、上記メモリゲート電極が、上記記憶部内への電荷の入出

力を含む動作を制御するワード線であり、上記制御ゲート電極が、上記動作を補助する際の制御線である請求項1記載の不揮発性半導体記憶装置。

【請求項9】メモリセルが、上記記憶部の側から上記チャネル形成領域を挟んで互いに離間し、かつ上記チャネル形成領域と逆の導電型を有した半導体からなる2つの不純物領域と、

上記制御ゲート電極をゲートとし、上記記憶部を挟んで上記メモリゲート電極に対向した2つの外側チャネル領域をソース、ドレインとして機能する制御トランジスタと、

上記制御トランジスタを挟んで直列接続し、上記メモリゲート電極をゲートとし、上記制御トランジスタのチャネル領域と上記2つの不純物領域の一方をソースあるいはドレインとして機能する2つのメモリトランジスタとを有し、

上記メモリセルが行列状に複数配置してメモリセルアレイが構成され、

上記2つの不純物領域のそれぞれが、上記メモリセルアレイの一方向に長く配置されて複数のメモリセル間で共有され、

上記制御ゲート電極が、上記2つの不純物領域の離間スペース内を上記不純物領域と平行に配置されて上記複数のメモリセル間で共有された請求項1記載の不揮発性半導体記憶装置。

【請求項10】上記2つの不純物領域のそれぞれが、その長手方向と直交する方向に隣接する他のメモリセルの上記不純物領域と分離された請求項9記載の不揮発性半導体記憶装置。

【請求項11】上記2つの不純物領域のそれぞれが、その長手方向と直交する方向に隣接するメモリセル間で共有された請求項9記載の不揮発性半導体記憶装置。

【請求項12】上記一方向に隣接するメモリセル間が誘電体分離層によって分離された請求項9記載の不揮発性半導体記憶装置。

【請求項13】上記誘電体分離層が、上記メモリゲート電極間のスペースの下方で上記メモリゲート電極と平行なライン状に配置された請求項12記載の不揮発性半導体記憶装置。

【請求項14】上記誘電体分離層が、上記メモリゲート電極間のスペースの下方で上記メモリゲート電極に沿って配置され、かつ上記不純物領域上で分離された請求項12記載の不揮発性半導体記憶装置。

【請求項15】上記メモリゲート電極は、その幅方向両側にサイドウォールを有し、当該サイドウォールのそれぞれが、上記記憶部に隣接した領域で上記電荷保持膜を挟んで上記誘電体分離層の線部に重なった請求項12記載の不揮発性半導体記憶装置。

【請求項16】第1導電型半導体からなるチャネル形成

領域と、第2導電型半導体からなり上記チャネル形成領域を挟んで互いに離間する2つの不純物領域と、積層された複数の誘電体膜を備え電荷保持能力を有した電荷保持膜と、上記2つの不純物領域側で上記チャネル形成領域の両端部に重なる上記電荷保持膜の領域からなる2つの記憶部と、上記記憶部間で上記チャネル形成領域上に接した单層の誘電体膜と、上記記憶部上のメモリゲート電極と、上記单層の誘電体膜上の制御ゲート電極とを有した不揮発性半導体記憶装置の動作方法であって、書き込み動作が以下の諸ステップ、すなわち、記憶データを書き込む上記記憶部の側に位置する上記不純物領域をドレンとし、他の上記不純物領域をソースとして上記2つの不純物領域間に所定の電圧を印加し、上記メモリゲート電極および上記制御ゲート電極それぞれに所定の電圧を印加して、上記2つの不純物領域間にチャネルを形成し、

上記チャネル内を走行するキャリアの一部を上記ドレン側の上記記憶部に注入する各ステップを含む不揮発性半導体記憶装置の動作方法。

【請求項17】上記チャネルを形成するステップにおいて、上記メモリゲート電極および上記制御ゲート電極に印加する電圧値を制御し、上記2つの記憶部下方のチャネル抵抗が上記单層の誘電体膜下方のチャネル抵抗と異なるチャネルを上記2つの不純物領域間に形成する請求項16記載の不揮発性半導体記憶装置の動作方法。

【請求項18】上記チャネル内を形成するステップにおいて、上記制御ゲート電極と上記メモリゲート電極とに印加する電圧値を制御し、上記制御ゲートの下のチャネル領域と、上記制御ゲート電極と上記メモリゲート電極との間の下の第1導電型半導体領域とに、チャネル内を電荷が流れる方向に沿って高い電界を発生させる請求項16記載の不揮発性半導体記憶装置の動作方法。

【請求項19】第1導電型半導体からなるチャネル形成領域と、第2導電型半導体からなり上記チャネル形成領域を挟んで互いに離間する2つの不純物領域と、積層された複数の誘電体膜を備え電荷保持能力を有した電荷保持膜と、上記2つの不純物領域側で上記チャネル形成領域の両端部に重なる上記電荷保持膜の領域からなる2つの記憶部と、上記記憶部間で上記チャネル形成領域上に接した单層の誘電体膜と、上記記憶部上のメモリゲート電極と、上記单層の誘電体膜上の制御ゲート電極とを有した不揮発性半導体記憶装置の動作方法であって、書き込み動作が以下の諸ステップ、すなわち、

上記メモリゲート電極と、記憶データを書き込む上記記憶部の側に位置する上記不純物領域との間に、当該不純物領域が反転する方向の電圧を印加し、上記電圧印加時に上記不純物領域の反転層で起きたブレーカダウンにより高エネルギー電荷を発生させ、発生した高エネルギー電荷の一部を上記記憶データを書き込む側の上記記憶部に注入する各ステップを含む不揮

発性半導体記憶装置の動作方法。

【請求項20】上記書き込み動作が、上記制御ゲート電極の電位に応じて上記单層の誘電体膜下の上記チャネル形成領域内のポテンシャルを変化させ、上記高エネルギー電荷の注入位置を制御するステップをさらに含む請求項19に記載の不揮発性半導体記憶装置の動作方法。

【請求項21】消去動作が以下の諸ステップ、すなわち、

消去対象の記憶データを保持する上記記憶部の側に位置する上記不純物領域と上記メモリゲート電極との間に、当該不純物領域が反転する電圧を印加し、上記電圧印加時に上記不純物領域の反転層で起きたブレーカダウンまたはバンド間トンネリングに起因し上記書き込み時に注入した電荷と逆極性の高エネルギー電荷を発生させ、

発生した高エネルギー電荷の一部を上記記憶データが保持された上記記憶部に注入する各ステップを含む請求項16に記載の不揮発性半導体記憶装置の動作方法。

【請求項22】消去動作が以下の諸ステップ、すなわち、

消去対象の記憶データを保持する上記記憶部の側の上記不純物領域をドレンとし、他の上記不純物領域をソースとして上記2つの不純物領域間に所定の電圧を印加し、

上記メモリゲート電極および上記制御ゲート電極それぞれに所定の電圧を印加して、上記2つの不純物領域間にチャネルを形成し、

上記書き込み時に注入した電荷と逆極性を有し上記チャネル内を走行するキャリアの一部を、上記消去対象の記憶データを保持した上記記憶部に注入する各ステップを含む請求項19に記載の不揮発性半導体記憶装置の動作方法。

【請求項23】上記チャネルを形成するステップにおいて、上記メモリゲート電極および上記制御ゲート電極に印加する電圧値を制御し、上記2つの記憶部下のチャネル抵抗が上記单層の誘電体膜下のチャネル抵抗と異なるチャネルを上記2つの不純物領域間に形成する請求項22記載の不揮発性半導体記憶装置の動作方法。

【請求項24】読み出し動作が以下の諸ステップ、すなわち、

読み出し対象の記憶データが保持された上記記憶部の側の上記不純物領域をソースとし、他の不純物領域をドレンとする電圧を上記2つの不純物領域間に印加し、上記メモリゲート電極および上記制御ゲート電極のそれぞれに所定の電圧を印加し、上記記憶データに応じた上記記憶部の電荷の有無または電荷量の違いを、上記チャネル形成領域内を流れる電流量または上記不純物領域の電圧変化に変換して読み出す各ステップを含む請求項16記載の不揮発性半導体記憶装置の動作方法。

【請求項25】読み出し動作が以下の諸ステップ、すなわち、読み出し対象の記憶データが保持された上記記憶部の側の上記不純物領域をソースとし、他の不純物領域をドレンとする電圧を上記2つの不純物領域間に印加し、上記メモリゲート電極および上記制御ゲート電極それぞれに所定の電圧を印加し、上記記憶データに応じた上記記憶部の電荷の有無または電荷量の違いを、上記チャネル形成領域内を流れる電流量または上記不純物領域の電圧変化に変換して読み出す各ステップを含む請求項19記載の不揮発性半導体記憶装置の動作方法。

【請求項26】メモリセルを行列状に配置してメモリセルアレイを構成し、上記メモリセルそれぞれが、第1導電型半導体からなるチャネル形成領域と、第2導電型半導体からなり上記チャネル形成領域を挟んで互いに離間する2つの不純物領域と、積層された複数の誘電体膜を備え電荷保持能力を有した電荷保持膜と、上記2つの不純物領域側で上記チャネル形成領域の一部に重なる上記電荷保持膜の領域からなる記憶部と、上記チャネル形成領域上に接し上記記憶部に隣接した单層の誘電体膜と、上記記憶部上のメモリゲート電極と、上記单層の誘電体膜上の制御ゲート電極とを有し、

上記メモリゲート電極が上記不純物領域の離間方向の複数のメモリセル間で共有されてワード線を構成し、上記2つの不純物領域のそれぞれが上記ワード線と直交する方向の複数のメモリセル間で共有されてビット線を構成し、

上記制御ゲート電極が上記ビット線と平行に配置されて上記ワード線と直交する方向の複数のメモリセル間で共有された不揮発性半導体記憶装置の動作方法であって、読み出し動作が、読み出し対象のメモリセルを含まない行の非選択のワード線に、上記チャネル形成領域に対し順バイアスとなる方向の電圧を印加するステップを含む不揮発性半導体記憶装置の動作方法。

【請求項27】上記メモリセルが、上記2つの不純物領域側に2つ上記記憶部を有し、

上記メモリセル内で、制御ゲート電極をゲートとし、上記2つの記憶部を挟んで上記メモリゲート電極に対向した2つの外側チャネル領域をソースおよびドレンとして機能する制御トランジスタと、上記メモリゲート電極をゲートとし、上記制御トランジスタのチャネル領域と上記2つの不純物領域の一方をソースあるいはドレンとして機能する2つのメモリトランジスタとが、上記制御トランジスタを挟んで直列に接続された請求項26記載の不揮発性半導体記憶装置の動作方法。

【請求項28】上記順バイアスとなる方向の電圧を印加するステップでは、上記チャネル形成領域がp型半導体の場合に、ソース電圧に対しマイナス側の電圧を上記非

選択のワード線に印加する請求項26記載の不揮発性半導体記憶装置の動作方法。

【請求項29】上記順バイアスとなる方向の電圧は、上記読み出し対象のメモリセルと同一列内で上記非選択のワード線に接続されメモリセルが読み出しあしない電圧範囲内の値をとる請求項26記載の不揮発性半導体記憶装置の動作方法。

【請求項30】上記順バイアスとなる方向の電圧の絶対値が1Vより小さい請求項26記載の不揮発性半導体記憶装置の動作方法。

【請求項31】複数のメモリセルを行列状に配置してメモリセルアレイが構成され、上記メモリセルのそれぞれが、第1導電型半導体からなるチャネル形成領域と、第2導電型半導体からなり上記チャネル形成領域を挟んで互いに離間する2つの不純物領域と、積層された複数の誘電体膜を備え電荷保持能力を有した電荷保持膜と、上記2つの不純物領域側で上記チャネル形成領域の両端部に重なる上記電荷保持膜の領域からなる2つの記憶部と、上記記憶部間で上記チャネル形成領域上に接した单層の誘電体膜と、上記記憶部上のメモリゲート電極と、上記单層の誘電体膜上の制御ゲート電極とを有し、

同一行内の上記メモリゲート電極がワード線により接続され、

上記2つの不純物領域それぞれが、列方向に長く配置されて行方向に隣接するメモリセル間で共有され、上記制御ゲート電極が列方向に長く配置されて同一列内のメモリセル間で共有されている不揮発性半導体記憶装置の動作方法であって、

上記動作方法が以下の諸ステップ、すなわち、上記制御ゲート電極を駆動して上記メモリセルアレイを電気的に分割し、分割したメモリセルアレイ内で、上記不純物領域および上記ワード線を駆動して複数のメモリセルを並列に書き込み、読み出しあまたは消去する各ステップを含む不揮発性半導体記憶装置の動作方法。

【請求項32】上記書き込みまたは消去のステップが以下の諸ステップ、すなわち、記憶データを書き込む上記記憶部の側に位置する上記不純物領域をドレンとし、他の上記不純物領域をソースとして上記2つの不純物領域間に所定の電圧を印加し、上記メモリゲート電極および上記制御ゲート電極それぞれに所定の電圧を印加して、上記2つの不純物領域間にチャネルを形成し、

上記チャネル内を走行するキャリアの一部を上記ドレン側の上記記憶部に注入する請求項31記載の不揮発性半導体記憶装置の動作方法。

【請求項33】上記チャネルを形成するステップにおいて、上記メモリゲート電極および上記制御ゲート電極に印加する電圧値を制御し、上記2つの記憶部下のチャネ

ル抵抗が上記単層の誘電体膜下のチャネル抵抗より低いチャネルを上記2つの不純物領域間に形成する請求項3記載の不揮発性半導体記憶装置の動作方法。

【請求項34】上記動作方法が以下の諸ステップ、すなわち、所定の個数おきの上記制御ゲート電極に、チャネルがオンできない不活性状態にメモリセルを移行させるOFF電圧を印加し、

上記分割により不活性状態となったメモリセル間で、活性状態のメモリセルを並列に書き込み、読み出しまだ消去を行う各ステップを含み、

上記OFF電圧を印加する制御ゲート電極を一方的にずらしながら、上記メモリセルの分割のステップと、上記活性状態のメモリセルに対する書き込み、読み出しまだ消去のステップとを繰り返す請求項31記載の不揮発性半導体記憶装置の動作方法。

【請求項35】複数のメモリセルを行列状に配置してメモリセルアレイが構成され、

上記メモリセルのそれぞれが、第1導電型半導体からなるチャネル形成領域と、第2導電型半導体からなり上記チャネル形成領域を挟んで互いに離間する2つの不純物領域と、積層された複数の誘電体膜を備え電荷保持能力を有した電荷保持膜と、上記2つの不純物領域側で上記チャネル形成領域の両端部に重なる上記電荷保持膜の領域からなる2つの記憶部と、上記記憶部間で上記チャネル形成領域上に接した単層の誘電体膜と、上記記憶部上のメモリゲート電極と、上記単層の誘電体膜上の制御ゲート電極とを有し、

同一行内の上記メモリゲート電極がワード線により接続され、

上記2つの不純物領域それぞれが、列方向に長く配置されて行方向に隣接するメモリセル間で共有され、

上記制御ゲート電極が列方向に長く配置されて同一列内のメモリセル間で共有されている不揮発性半導体記憶装置の動作方法であって、

書き込み動作が以下の諸ステップ、すなわち、上記メモリセルアレイ内の上記不純物領域に対し書き込みドレイン電圧と基準電圧とを交互に印加し、

チャネルをオフ状態からオンできる状態に移行させるON電圧を、書き込み対象の記憶データに応じた組合せで上記制御ゲート電極に印加し、

上記ON電圧が印加された上記制御ゲート電極と上記書き込みドレイン電圧が印加された上記不純物領域との間にある上記記憶部を選択し、

上記記憶データを書き込むべき選択行の上記ワード線に所定電圧を印加して、選択された上記記憶部の下方でチャネルをオンさせ、当該チャネル内を走行するキャリアの一部を選択した上記記憶部に注入し、

上記メモリセルアレイ内の不純物領域に対し、上記書き込みドレイン電圧と上記基準電圧を印加対象を入れ替えて

て再度印加し、上記制御ゲート電極への上記ON電圧の印加を、書き込み対象の記憶データに応じた組合せで再度行い、

上記記憶部と異なる残りの記憶部を選択し、

上記ワード線への電圧印加を再度行って選択された記憶部の下方でチャネルをオンさせ、当該チャネル内を走行するキャリアの一部を選択した上記記憶部に注入する各ステップを含む不揮発性半導体記憶装置の動作方法。

【請求項36】上記不純物領域の電位を固定した状態で、書き込み対象となるメモリセルが接続されたワード線を順次選択し、選択されたワード線ごとの書き込み対象の記憶データに応じて上記制御ゲート電極へのON電圧印加を変えながら、上記記憶部の選択と、選択された記憶部へのキャリア注入とを、上記メモリセルアレイ内の全てのワード線に対し繰り返し実行し、

上記メモリセルアレイ内の不純物領域に対して、上記書き込みドレイン電圧と上記基準電圧とを印加対象を入れ替えて再度印加し、

上記不純物領域の電位を固定した状態で、書き込み対象となるメモリセルが接続されたワード線を順次選択し、選択されたワード線ごとの書き込み対象の記憶データに応じて上記制御ゲート電極へのON電圧印加を変えながら、上記記憶部の選択と、選択された記憶部へのキャリア注入とを、上記メモリセルアレイ内の全てのワード線に対し繰り返し実行する請求項35記載の不揮発性半導体記憶装置の動作方法。

【請求項37】複数のメモリセルを行列状に配置してメモリセルアレイが構成され、

上記メモリセルのそれぞれが、第1導電型半導体からなるチャネル形成領域と、第2導電型半導体からなり上記チャネル形成領域を挟んで互いに離間する2つの不純物領域と、積層された複数の誘電体膜を備え電荷保持能力を有した電荷保持膜と、上記2つの不純物領域側で上記チャネル形成領域の両端部に重なる上記電荷保持膜の領域からなる2つの記憶部と、上記記憶部間で上記チャネル形成領域上に接した単層の誘電体膜と、上記記憶部上のメモリゲート電極と、上記単層の誘電体膜上の制御ゲート電極とを有し、

同一行内の上記メモリゲート電極がワード線により接続され、

上記2つの不純物領域それぞれが、列方向に長く配置されて行方向に隣接するメモリセル間で共有され、

上記制御ゲート電極が列方向に長く配置されて同一列内のメモリセル間で共有されている不揮発性半導体記憶装置の動作方法であって、

読み出し動作が以下の諸ステップ、すなわち、

上記メモリセルアレイ内で同一行内の奇数番目のメモリセル内の一の記憶部を読み出す第1の読み出しステップと、

上記同一行内の奇数番目のメモリセル内の他の記憶部を

読み出す第2の読み出しきっぷと、
上記同一行内の偶数番目のメモリセル内の一の記憶部を
読み出す第3の読み出しきっぷと、
上記同一行内の偶数番目のメモリセル内の他の記憶部を
読み出す第4の読み出しきっぷとを含む不揮発性半導
体記憶装置の動作方法。

【請求項38】上記読み出し動作が以下の諸ステップ、
すなわち、
全ての上記不純物領域に基準電圧を印加し、かつ全ての
上記制御ゲート電極にOFF電圧を印加するリセットの
ステップと、
上記メモリセルアレイ内の上記制御ゲート電極に対し、
チャネルをオフ状態からオンできる状態に移行させるON電圧とチャネルをオフ状態で維持するOFF電圧とを
交互に印加することにより、奇数番目または偶数番目の
メモリセルを選択するステップと、
上記ON電圧と上記OFF電圧の印加対象を切り替える
ことにより、選択するメモリセルを変更するステップ
と、
上記メモリセルアレイ内の上記不純物領域に対し、基準
電圧と読み出しどれイン電圧とを交互に印加することにより、
上記基準電圧を印加した不純物領域両側の記憶部の対を
選択するステップと、
上記基準電圧と上記読み出しどれイン電圧の印加対象を
切り替えることにより、選択する記憶部の対を変更する
ステップとをさらに含む請求項37記載の不揮発性半導
体記憶装置の動作方法。

【請求項39】同一行の複数のメモリセルに対する上記
読み出し動作において以下の諸ステップ、すなわち、
上記リセットをするステップ、
上記記憶部の対を選択するステップ、
上記メモリセルの選択により1回目の読み出しを行うス
テップ、
上記選択するメモリセルの変更により2回目の読み出し
を行うステップ、
上記リセットをするステップ、
上記選択する記憶部の対を変更するステップ、
上記メモリセルの選択により3回目の読み出しを行うス
テップ、
上記選択するメモリセルの変更により4回目の読み出し
を行うステップを上記手順で実行する請求項38記載の
不揮発性半導体記憶装置の動作方法。

【請求項40】上記第1から第4の読み出しきっぷの
何れかを、上記不純物領域および上記制御ゲート電極の
電圧印加条件を固定したままで上記メモリセルアレイ内
の全ての行に対し繰り返し実行し、
上記第1から第4の読み出しきっぷの残りの読み出
しきっぷの何れかを選択可能に、上記不純物領域および
上記制御ゲート電極の電圧印加条件を変更し、
上記一定の電圧印加条件下における読み出しきっぷの

上記メモリセルアレイ内の全ての行に対する実行と、上
記電圧印加条件の変更とを、上記メモリセルアレイ内の
全ての記憶部の読み出しが完了するまで繰り返す請求項
37記載の不揮発性半導体記憶装置の動作方法。

【請求項41】第1導電型半導体からなるチャネル形成
領域と、第2導電型半導体からなり上記チャネル形成領域
を挟んで互いに離間する2つの不純物領域と、積層さ
れた複数の誘電体膜を備え電荷保持能力を有した電荷保
持膜と、上記2つの不純物領域側で上記チャネル形成領域
の両端部に重なる上記電荷保持膜の領域からなる2つの
記憶部と、上記記憶部間で上記チャネル形成領域上に
接した単層の誘電体膜と、上記記憶部上のメモリゲート
電極と、上記単層の誘電体膜上の制御ゲート電極とを有
したメモリセルを含む不揮発性半導体記憶装置の製造方
法であって、

上記製造方法が以下の諸工程、すなわち、
第1導電型半導体上に上記単層の誘電体膜と当該誘電体
膜上の制御ゲート電極とからなるパターンを形成し、
上記パターン表面および上記第1導電型半導体の表面を
覆って上記電荷保持膜を形成し、
上記パターンの側面に対し上記電荷保持膜を挟んで対向
した導電材料からなるサイドウォールを、上記記憶部と
なる上記電荷保持膜の部分上に形成し、
上記サイドウォールおよび上記パターンをマスクとし
て、上記サイドウォールの外側の第1導電型半導体に第
2導電型不純物を導入して、第2導電型の上記2つの不
純物領域を形成し、
上記サイドウォールとともに上記メモリゲート電極とな
る導電膜を成膜し、当該導電膜を加工して上記メモリゲ
ート電極を形成する各工程を含む不揮発性半導体記憶裝
置の製造方法。

【請求項42】上記製造方法が以下の諸工程、すなわ
ち、
上記第1導電型半導体内の表面領域の全域に、上記制御
ゲート電極の下方の上記チャネル形成領域部分のしきい
値電圧を規定する不純物を導入し、
上記パターンを形成し、
当該パターン周囲の上記チャネル形成領域部分に不純物
を追加して低しきい値電圧を調整する各工程を含む請求
項41記載の不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ソースまたはドレ
インとなる2つの不純物領域それぞれの側に電荷保持能
力が有する膜からなる記憶部を備え、2ビット/セルの
データ記憶が可能なメモリセルを有した不揮発性半導
体記憶装置と、その動作方法および製造方法とに関する。

【0002】

【従来の技術】従来より、いわゆるMONOS(Meta1-O
xide-Nitride-Oxide-Semiconductor)型、MNO₂(Meta

1-Nitride-Oxide-Semiconductor) 型など、情報の記憶を行う電荷蓄積手段としての絶縁膜が複数の膜を積層させてなる不揮発性半導体メモリ素子が知られている。MONOS型メモリ素子では、トランジスタチャネルを形成する半導体の基体(半導体基板、ウエル、SOI(Silicon On Insulator)層など、以下、単に基板という)上に、ONO(Oxide-Nitride-Oxide)膜とゲート電極とを積層させ、その積層パターンの両側の基板表面領域に、チャネルと逆導電型のソース・ドレイン不純物領域が形成されている。そして、この電荷保持能力を有する絶縁膜に対し、基板側から電荷を注入して書き込みを行う。また、消去では、保持電荷を基板側に抜き取るか、保持電荷を打ち消す逆極性の電荷を上記絶縁膜内に注入する。

【0003】これら電荷を絶縁膜に注入するには、電荷の絶縁物内のトンネル現象を利用するほか、いわゆるCHE(Channel Hot Electron)注入など、ONO膜の最下層の酸化膜の絶縁障壁を乗り越えられる程度にまで電荷をエネルギー的に励起する方法がある。

【0004】最近になって、従来のCHE注入方式によって電荷を離散的なトラップの一部に注入できることに着目して、電荷蓄積手段(電荷保持能力を有する積層絶縁膜)のソース側とドレイン側に独立に2値情報を書き込むことにより1メモリセルあたり2ビットを記録可能な技術が報告された。たとえば“Extended Abstract of the 1999 International Conference on Solid State Devices and Materials, Tokyo, 1999, pp.522-523”では、ソースとドレイン間の電圧印加方向を入れ換えて2ビット情報をCHE注入により書き込み、読み出し時には、書き込み時と逆方向に所定電圧をソースとドレイン間に印加して2ビット情報を独立に読み出す、いわゆる“リバースリード”方法によって蓄積電荷量が少ない2ビット情報を確実に読み出すことを可能としている。また、消去時に、ソース・ドレイン不純物領域の表面領域に反転層を形成し、この反転層内のアバランシェブレーカダウンにより高エネルギー電荷(ホットホール)を生じさせ、このホットホールを電荷蓄積手段に注入することによって行っている。この技術によって、書き込み時間の高速化とビットコストの大幅な低減が可能となった。

【0005】

【発明が解決しようとする課題】ところが、この従来のCHE注入による2ビット情報の記憶が可能なメモリセルでは、電荷保持膜(ONO膜)がチャネル形成領域上の全域に一様に形成され、その電荷を注入する領域が限定されていない。このため、デバイスのプロセス上または動作時のバイアス条件の不均一性などの影響を受けて蓄積電荷量が変動すると、これが記憶特性、たとえばしきい値電圧の変動に微妙な影響を与えやすい。とくに必要以上の電荷が注入された場合、電荷蓄積領域が限定さ

れていないことから、過剰書き込み側での特性変動が問題となる。また、電荷蓄積領域が限定されていないことから消去時間も長くしなければならないという不利益を生じさせる。

【0006】また、電荷保持膜のキャリアトラップに捕獲された電荷は、それ自体、導電層内の電荷に比べ格段に動き難いが、たとえば高温中に長く保持されると、ある程度熱的にドリフトして電荷保持領域が拡大する、いわゆる記憶のボケが生じる。この場合も、電荷保持膜がチャネル形成領域に対し一様に形成された従来の素子構造では、しきい値電圧の大小関係が微妙に変化することになる。

【0007】この従来のCHE注入方式は、電荷の注入効率がおよそ 1×10^{-6} と悪いことが知られている。そのため書き込みに際して、大きな電流をメモリセルのソース・ドレイン不純物領域間に流す必要があり、消費電力が大きくなるという課題があった。

【0008】一方、前記した従来のメモリセル構造では、セル面積が最も小さいアレイ方式の一種である、いわゆるVG(Vertical Ground)セルアレイ方式を採用した場合、1本のワード線に連なる複数のメモリセルの一つを任意に選択するランダムアクセスはできても、複数のメモリセルを同時にアクセスするシリアルアクセスができないという課題がある。これは、VGセルアレイ方式では、ソース・ドレイン不純物領域がワード方向の隣接2セル間で共有され、その共有関係がワード方向に繰り返されていることに起因する。すなわち、VGセルアレイ方式では、ワード方向で見ると、互いに異なる導電型のソース・ドレイン不純物領域とチャネル形成領域が交互に繰り返され、そのため、あるメモリセル内の2つのソース・ドレイン不純物領域の電圧を決めるに、同一行の他のメモリセルの意図しない動作を防止するには、他の不純物領域の電位が必然的に決まってしまう。したがって、偶然にその電位関係で意図した動作ができるメモリセルを除くと、他のメモリセルのアクセスは基本的に不可能となる。また、このような記憶データの論理で常にアクセス可能なセルが変動する条件付きのシリアルアクセスは実用に耐えない。

【0009】以上の理由により、前記した従来構造のメモリセルでVG型メモリセルアレイを構成した場合、1本のワード線に連なる複数のメモリセルを任意に、かつ独立に動作させることができない。その結果、この従来のメモリセルでは、セル面積縮小のためVGセルアレイ化すると、1本のワード線に連なるメモリセル全てを書き込む際の書き込み回数が多く、書き込みに要するトータルな時間が長くなるという不具合がある。つまり、VGセルアレイ化してセル面積を縮小して得られたビットコスト低減に関する優位性が、VGセルアレイ方式を採用しないで、かつシリアルアクセスにより書き込み効率を上げたものに対しては薄れてしまっていた。

【0010】本発明の第1目的は、電荷保持領域の2ビット記憶可能な範囲を制限し、とくに過剰な電荷注入があっても特性が影響されにくい不揮発性半導体記憶装置と、その製造方法を提供することにある。本発明の第2の目的は、電荷の注入効率を上げ、書き込み速度の向上と、書き込みの際にメモリセルが消費する電力を低減させる不揮発性半導体記憶装置と、その製造方法を提供することにある。本発明の第3の目的は、チャネルのオン／オフを制御する手段を、通常のメモリトランジスタのゲート電極とは別に有し、これによりVGセルアレイ方式を採用しても1ワード線に連なる複数のメモリセルのシリアルアクセスが可能な不揮発性半導体記憶装置と、その動作方法を提供することにある。

[0011]

【課題を解決するための手段】本発明の第1の観点に係る不揮発性半導体記憶装置は、上記第1および第2の目的を達成するものであり、半導体からなるチャネル形成領域と、積層された複数の誘電体膜を備え電荷保持能力を有した電荷保持膜と、上記チャネル形成領域の両端部に重なる上記電荷保持膜の領域からなる2つの記憶部と、上記記憶部間に上記チャネル形成領域上に接した単層の誘電体膜と、上記単層の誘電体膜上に接した制御ゲート電極と、上記2つの記憶部上にそれぞれ接し、当該記憶部との接触部同士が電気的に接続されたメモリゲート電極とを有している。

【0012】上記チャネル形成領域が、上記記憶部を挟んで上記メモリゲート電極に対向した2つの外側チャネル領域と、上記2つの外側チャネル領域間に位置し、上記単層の誘電体膜を挟んで上記制御ゲート電極に対向した内側チャネル領域とを有している。好適に、上記2つの外側チャネル領域と上記内側チャネル領域とからなる3つのチャネル領域のしきい値電圧が独立に設定されている。たとえば、上記2つの外側チャネル領域のしきい値電圧が等しい。この場合、好適に、上記外側チャネル領域のしきい値電圧が、上記内側チャネル領域のしきい値電圧より低い。また、好適に、上記2つの外側チャネル領域間の距離で規定される上記内側チャネル領域の長さが、動作時に形成されたチャネル内をキャリアが準バリストイックに走行する長さである。

【0013】上記メモリゲート電極は、好適に、上記制御ゲート電極と電気的に絶縁した状態で交差し、上記制御ゲート電極の外側双方で上記記憶部上に接する。この場合、好適に、上記メモリゲート電極を成す導電材料よりエッティング速度が遅い誘電体からなるエッティングストップ層を、上記制御ゲート電極上有している。メモリゲート電極の加工時に、制御ゲート電極上の誘電体膜が除去されて制御ゲート電極までエッティングされないようにするためである。上記記憶部の側から上記チャネル形成領域を挟んで互いに離間し、かつ上記チャネル形成領域と逆の導電型を有した半導体からなる2つの不純物領域

域を有し、上記2つの不純物領域それぞれがビット線であり、上記メモリゲート電極が、上記記憶部内への電荷の入出力を含む動作を制御するワード線であり、上記制御ゲート電極が、上記動作を補助する際の制御線である。

【0014】いわゆるNOR型メモリセルアレイ方式が採用できる。この場合、メモリセルが、上記記憶部の側から上記チャネル形成領域を挟んで互いに離間し、かつ上記チャネル形成領域と逆の導電型を有した半導体からなる2つの不純物領域と、上記制御ゲート電極をゲートとし、上記2つの記憶部を挟んで上記メモリゲート電極に対向した2つの外側チャネル領域をソース、ドレインとして機能する制御トランジスタと、上記制御トランジスタを挟んで直列接続し、上記メモリゲート電極をゲートとし、上記制御トランジスタのチャネル領域と上記2つの不純物領域の一方をソースあるいはドレインとして機能する2つのメモリトランジスタとを有し、上記メモリセルが行列状に複数配置してメモリセルアレイが構成され、上記2つの不純物領域のそれぞれが、上記メモリセルアレイの一方向に長く配置されて複数のメモリセル間で共有され、上記制御ゲート電極が、上記2つの不純物領域の離間スペース内を上記不純物領域と平行に配置されて上記複数のメモリセル間で共有されている。また、上記2つの不純物領域それぞれは、その長手方向と直交する方向に隣接する他のメモリセルの上記不純物領域と分離されている。NOR型の一態様としてVG型の採用も可能である。その場合、上記2つの不純物領域のそれぞれが、その長手方向と直交する方向に隣接するメモリセル間で共有されている。

【0015】VG型メモリセルアレイにおいて、好適に、上記一方向に隣接するメモリセル間が誘電体分離層によって分離されている。好適に、上記誘電体分離層が、上記メモリゲート電極間のスペースの下方で上記メモリゲート電極と平行に配置されている。あるいは、上記誘電体分離層が、上記メモリゲート電極間のスペースの下方で上記メモリゲート電極に沿って配置され、かつ上記不純物領域上で分離されている。また、好適に、上記メモリゲート電極は、その幅方向両側にサイドウォールを有し、当該サイドウォールのそれぞれが、上記記憶部に隣接した領域で上記電荷保持膜を挟んで上記誘電体分離層の縁部に重なっている。

【0016】このような構成の不揮発性半導体記憶装置では、電荷保持能力を有する2つの記憶部を有し、その2つの記憶部の間が電荷保持能力を有しない単層の誘電体膜によって離されている。したがって、2ビット記憶データ保持時に、2ビットの記憶情報が確実に峻別される。なぜなら、各記憶部に過剰に電荷が注入されても、その間にデータ保持特性能力を有しない単層の誘電体膜が存在することにより、ある電荷量以上は電荷注入が進まないため、電荷の分布領域同士が混じらないからであ

る。また、高温保持時に保持電荷がドリフトしても電荷の分布領域同士が混じらないため、この点でも2ビット情報の記憶が保てない。また、チャネル形成領域に抵抗差を設けることは、書き込みまたは消去時に、電荷の注入効率を高める。

【0017】また、この第1の観点に係る不揮発性半導体記憶装置では、誘電体分離層の存在により、記憶部に電荷が注入される際に、メモリゲート電極のチャネル幅方向外側の電荷保持膜部分に電荷が滲み出しても、この電荷の影響によるチャネル形成領域と不純物領域間のリークバスが形成されにくい。この電荷が滲み出す電荷保持膜の領域が誘電体分離層上に乗り上げており、その結果、滲み出した電荷のチャネル形成領域への影響が十分に低減されるからである。また、誘電体分離層を形成した場合、メモリゲート電極が幅方向に合わせずれを起こすと、メモリゲート電極の支配力が一部に及ばず書き込み時の注入電荷が蓄積されない領域が生じる。たとえば消去時に逆極性の電荷を注入する方式が採用された場合などでは、このメモリゲート電極の支配力が及ばない領域において、チャネルをオンする方向の極性を有した電荷のみが書き換えたびに次第に蓄積されてしまうことがある。こうなると、この領域のしきい値電圧が大きく低下してリーク電流が大幅に増加する事態が発生する。本発明では、このリーク電流の大幅な増大を防止するために、メモリゲート電極が幅方向両側にサイドウォールを有し、エリアペナルティを受けることなく電荷蓄積膜との十分なオーバーラップを実現している。また、制御ゲート電極をONとした場合に制御ゲート電極の下方にできるチャネルが、制御ゲート電極を共有している他のセルに向かって拡がることを、誘電体分離層が防ぐ。誘電体分離層が存在すると、ワード線が選択されていないセルの制御ゲート電極の下は電気的に絶縁された状態にある。そのため、制御ゲート電極がONとなっても、ワード線が選択されていないセルの制御ゲート電極の下方にチャネルが形成されずオーバーディプレッション、すなわち空乏層が熱平衡状態より拡がった状態となる。この状態では、チャネルが形成された状態と比較するとゲートの容量が大幅に小さくなる。したがって、誘電体分離層が存在せず、共有されている全てのセル内で制御ゲート電極の下方にチャネルが形成される場合と、ワード線が選択されたセル内の制御ゲート電極の下方領域にチャネルが形成されるが、誘電体分離層が存在し、そのため選択されない他のセル内の制御ゲート電極の下方領域にはチャネルが形成されない場合とを比較すると、後者の方が制御ゲートの容量が小さい。この制御ゲート容量の低減は、不揮発性半導体メモリの高速動作および低消費電力に寄与する。以上より、この誘電体分離層とサイドウォール付きメモリゲート電極との組合せは、セル面積を増大させることなくリーク電流を低減すること、および、ゲート容量を低減して高速化を図ること

となどに大きく寄与する。なお、誘電体分離層を不純物領域上で分離した場合は、誘電体分離層の存在によって不純物領域に高抵抗部分が形成されない。

【0018】本発明の第2の観点に係る不揮発性半導体記憶装置の動作方法は、第1導電型半導体からなるチャネル形成領域と、第2導電型半導体からなり上記チャネル形成領域を挟んで互いに離間する2つの不純物領域と、積層された複数の誘電体膜を備え電荷保持能力を有した電荷保持膜と、上記2つの不純物領域側に上記チャネル形成領域の両端部に重なる上記電荷保持膜の領域からなる2つの記憶部と、上記記憶部間で上記チャネル形成領域上に接した単層の誘電体膜と、上記記憶部上のメモリゲート電極と、上記単層の誘電体膜上の制御ゲート電極とを有した不揮発性半導体記憶装置の動作方法であって、書き込み動作が以下の諸ステップ、すなわち、記憶データを書き込む上記記憶部の側に位置する上記不純物領域をドレンとし、他の上記不純物領域をソースとして上記2つの不純物領域間に所定の電圧を印加し、上記メモリゲート電極および上記制御ゲート電極それぞれに所定の電圧を印加して、上記2つの不純物領域間にチャネルを形成し、上記チャネル内を走行するキャリアの一部を上記ドレン側の上記記憶部に注入する各ステップを含む。上記チャネルを形成するステップにおいて、好適に、上記メモリゲート電極および上記制御ゲート電極に印加する電圧値を制御し、上記2つの記憶部下方のチャネル抵抗が上記単層の誘電体膜下方のチャネル抵抗と異なるチャネルを上記2つの不純物領域間に形成する。上記チャネル内を形成するステップにおいて、好適に、上記制御ゲート電極と上記メモリゲート電極とに印加する電圧値を制御し、上記制御ゲートの下のチャネル領域と、上記制御ゲート電極と上記メモリゲート電極との間の下の第1導電型半導体領域とに、チャネル内を電荷が流れる方向に沿って高い電界を発生させる。

【0019】この高効率CHE注入による保持電荷に応じた記憶データを読み出す動作が以下の諸ステップ、すなわち、読み出し対象の記憶データが保持された上記記憶部の側の上記不純物領域をソースとし、他の不純物領域をドレンとする電圧を上記2つの不純物領域間に印加し、上記メモリゲート電極および上記制御ゲート電極のそれぞれに所定の電圧を印加し、上記記憶データに応じた上記記憶部の電荷の有無または電荷量の違いを、上記チャネル形成領域内を流れる電流量または上記不純物領域の電圧変化に変換して読み出す各ステップを含む。

【0020】消去では、たとえばバンド間のトンネル電流起因のホットキャリアを注入し、あるいはアバランシェブレークダウンによる逆導電型の高エネルギー電荷を注入するとよい。すなわち、消去動作が以下の諸ステップ、すなわち、消去対象の記憶データを保持する上記記憶部の側に位置する上記不純物領域と上記メモリゲート電極との間に、当該不純物領域が反転する電圧を印加

し、上記電圧印加時に上記不純物領域の反転層で起きたブレークダウンにより上記書き込み時に注入した電荷と逆極性の高エネルギー電荷を発生させ、発生した高エネルギー電荷の一部を上記記憶データが保持された上記記憶部に注入する各ステップを含む。あるいは、保持電荷をチャネル全面から、あるいは不純物領域側からトンネル現象を用いて抜き取る。

【0021】本発明の第3の観点に係る不揮発性半導体記憶装置の動作方法は、第1導電型半導体からなるチャネル形成領域と、第2導電型半導体からなり上記チャネル形成領域を挟んで互いに離間する2つの不純物領域と、積層された複数の誘電体膜を備え電荷保持能力を有した電荷保持膜と、上記2つの不純物領域側で上記チャネル形成領域の両端部に重なる上記電荷保持膜の領域からなる2つの記憶部と、上記記憶部間で上記チャネル形成領域上に接した単層の誘電体膜と、上記記憶部上のメモリゲート電極と、上記単層の誘電体膜上に形成された制御ゲート電極とを有した不揮発性半導体記憶装置の動作方法であって、書き込み動作が以下の諸ステップ、すなわち、上記メモリゲート電極と、記憶データを書き込む上記記憶部側に位置する上記不純物領域との間に、当該不純物領域が反転する方向の電圧を印加し、上記電圧印加時に上記不純物領域の反転層で起きたブレークダウンにより高エネルギー電荷を発生させ、発生した高エネルギー電荷の一部を上記記憶データを書き込む側の上記記憶部に注入する各ステップを含む。好適に、上記書き込み動作時に、上記制御ゲート電極の電位に応じて上記ゲート誘電体膜下の上記チャネル形成領域内のポテンシャルを変化させ、上記高エネルギー電荷の注入位置を制御するステップをさらに含む。これにより、例えば、ゲート電極と逆の極性の電圧を制御ゲート電極に印加することによって電荷注入領域を不純物領域側の一部に限定することができる。あるいは、メモリゲート電極と同じ極性の電圧を制御ゲート電極に印加することによって電荷注入領域を対象とする記憶部全域とすることもできる。

【0022】この注入電荷に応じた記憶データの消去動作が、好適に、以下の諸ステップ、すなわち、消去対象の記憶データを保持する上記記憶部の側の上記不純物領域をドレインとし、他の上記不純物領域をソースとして上記2つの不純物領域間に所定の電圧を印加し、上記メモリゲート電極および上記制御ゲート電極それぞれに所定の電圧を印加して、上記2つの不純物領域間にチャネルを形成し、上記書き込み時に注入した電荷と逆極性を有し上記チャネル内を走行するキャリアの一部を、上記消去対象の記憶データを保持した上記記憶部に注入する各ステップを含む。上記チャネルを形成するステップにおいて、好適に、上記メモリゲート電極および上記制御ゲート電極に印加する電圧値を制御し、上記2つの記憶部下方のチャネル抵抗が上記単層の誘電体膜下方のチャ

ネル抵抗と異なるチャネルを上記2つの不純物領域間に形成する。

【0023】このように、第2および第3の観点に係る不揮発性半導体記憶装置の動作方法では、いわゆるCH-E型の電荷注入により書き込みまたは消去を行う。このとき、たとえばチャネル抵抗が制御ゲート電極下方の内側チャネル領域で高くなっている、その両側の外側チャネル領域で低くなっている。したがって、この3つのチャネル領域に印加される電圧は、おおよそ、上記2つの不純物領域間に印加されるドレン電圧を等価直列抵抗値で比例配分した値となる。その場合、内側チャネル領域の電圧降下が最も高くなり、この部分で、ドレン電圧がチャネル内走行キャリアのエネルギーに効率よく変換される。とくに制御ゲート長（内側チャネル領域長）を短くすると、高電界の領域内をキャリアが準パリスティックに走行し、ほとんどエネルギー損失なく加速されて、記憶部下方の外側チャネル領域に放出される。したがって、本発明では、放出された高エネルギー電荷のうち、電荷保持膜の記憶部におけるボトム絶縁膜のエネルギー障壁を越える電荷の割合が増大し、電荷の注入効率がチャネル内に抵抗差を設けない従来の場合より高い。また、本発明では、前記したように電荷保持領域が記憶部のサイズ以上に拡がらないため、過剰書き込みがあつても、しきい値電圧の分布領域が書き込み側で余り拡がらない。また、電荷保持領域が限定されているため、過剰消去も起こりにくい。さらに、過剰書き込み時には、制御ゲート電極の側面の電荷保持膜にも電荷が周り込むが、この側面の保持電荷はチャネルへの殆ど影響しないため消去時に抜き取る必要がない。したがって、過剰書き込みがあつても、それだけ消去時間を長くする必要がない。

【0024】第2、第3の観点に係る不揮発性半導体記憶装置の動作方法のうち読み出しでは、読み出したい側の不純物領域がソースとなるように、ソースとドレンを入れ替えた同様な読み出しにより、2ビット記憶データが独立に読み出せる。

【0025】本発明の第4の観点に係る不揮発性半導体記憶装置の動作方法は、メモリセルを行列状に配置してメモリセルアレイを構成し、上記メモリセルそれぞれが、第1導電型半導体からなるチャネル形成領域と、第2導電型半導体からなり上記チャネル形成領域を挟んで互いに離間する2つの不純物領域と、積層された複数の誘電体膜を備え電荷保持能力を有した電荷保持膜と、上記2つの不純物領域側で上記チャネル形成領域の一部に重なる上記電荷保持膜の領域からなる記憶部と、上記チャネル形成領域上に接し上記記憶部に隣接した単層の誘電体膜と、上記記憶部上のメモリゲート電極と、上記単層の誘電体膜上の制御ゲート電極とを有し、上記メモリゲート電極が上記不純物領域の離間方向の複数のメモリセル間で共有されてワード線を構成し、上記2つの不純

物領域のそれが上記ワード線と直交する方向の複数のメモリセル間で共有されてビット線を構成し、上記制御ゲート電極が上記ビット線と平行に配置されて上記ワード線と直交する方向の複数のメモリセル間で共有された不揮発性半導体記憶装置の動作方法であって、読み出し動作が、読み出し対象のメモリセルを含まない行の非選択のワード線に、上記チャネル形成領域に対し順バイアスとなる方向の電圧を印加するステップを含む。この非選択行への順バイアスとなる方向の電圧の印加によって、チャネルに対するソースのポテンシャルバリアが高くなり、いわゆるDIBL効果によるリーク電流の増大が抑制される。

【0026】本発明の第5の観点に係る不揮発性半導体記憶装置の動作方法は、前記した本発明の第2の目的を達成するためのものであり、いわゆるVG型メモリセルアレイにおけるシリアル動作（書き込み、読み出しおよび消去）に関する。VG型メモリセルアレイでは、複数のメモリセルを行列状に配置してメモリセルアレイが構成され、上記メモリセルのそれぞれが、第1導電型半導体からなるチャネル形成領域と、第2導電型半導体からなり上記チャネル形成領域を挟んで互いに離間する2つの不純物領域と、積層された複数の誘電体膜を備え電荷保持能力を有した電荷保持膜と、上記2つの不純物領域側で上記チャネル形成領域の両端部に重なる上記電荷保持膜の領域からなる2つの記憶部と、上記記憶部間で上記チャネル形成領域上に接した単層の誘電体膜と、上記記憶部上のメモリゲート電極と、上記単層の誘電体膜上の制御ゲート電極とを有し、同一行内の上記メモリゲート電極がワード線により接続され、上記2つの不純物領域それぞれが、列方向に長く配置されて行方向に隣接するメモリセル間で共有され、上記制御ゲート電極が列方向に長く配置されて同一列内のメモリセル間で共有されている。この動作方法が以下の諸ステップ、すなわち、上記制御ゲート電極を駆動して上記メモリセルアレイを電気的に分割し、分割したメモリセルアレイ内で、上記不純物領域および上記ワード線を駆動して複数のメモリセルを並列に書き込み、読み出しありは消去する各ステップを含む。好適に、上記動作方法が以下の諸ステップ、すなわち、所定の個数おきの上記制御ゲート電極に、チャネルがオンできない不活性状態にメモリセルを移行させるOFF電圧を印加し、上記分割により不活性状態となつたメモリセル間で、活性状態のメモリセルを並列に書き込み、読み出しありは消去を行う各ステップを含み、上記OFF電圧を印加する不純物領域を一方向にずらしながら、上記メモリセルの分割のステップと、上記活性状態のメモリセルに対する書き込み、読み出しありは消去のステップを繰り返す。

【0027】この第5の観点に係る動作方法では、メモリセルアレイを分割を制御する手段として、制御ゲート電極を用いる。すなわち、ON電圧を印加して制御ゲー

トをオンするとチャネルが形成できる状態となり、OFF電圧を印加して制御ゲートをオフするとドレイン電圧印加の有無にかかわらずチャネルが形成されない。この制御ゲートのオフ状態をワード線方向に所定数のメモリセルごとに周期的に展開すると、オフ状態の制御ゲート間の活性状態のメモリセルに対しシリアル動作が可能となる。

【0028】本発明の第6の観点に係る不揮発性半導体記憶装置の動作方法は、複数のメモリセルを行列状に配置してメモリセルアレイが構成され、上記メモリセルのそれぞれが、第1導電型半導体からなるチャネル形成領域と、第2導電型半導体からなり上記チャネル形成領域を挟んで互いに離間する2つの不純物領域と、積層された複数の誘電体膜を備え電荷保持能力を有した電荷保持膜と、上記2つの不純物領域側で上記チャネル形成領域の両端部に重なる上記電荷保持膜の領域からなる2つの記憶部と、上記記憶部間で上記チャネル形成領域上に接した単層の誘電体膜と、上記記憶部上のメモリゲート電極と、上記単層の誘電体膜上の制御ゲート電極とを有し、同一行内の上記メモリゲート電極がワード線により接続され、上記2つの不純物領域それぞれが、列方向に長く配置されて行方向に隣接するメモリセル間で共有され、上記制御ゲート電極が列方向に長く配置されて同一列内のメモリセル間で共有されている不揮発性半導体記憶装置の動作方法であって、書き込み動作が以下の諸ステップ、すなわち、上記メモリセルアレイ内の上記不純物領域に対し書き込みドレイン電圧と基準電圧とを交互に印加し、チャネルをオフ状態からオンできる状態に移行させるON電圧を、書き込み対象の記憶データに応じた組合せで上記制御ゲート電極に印加し、上記ON電圧が印加された上記制御ゲート電極と上記書き込みドレイン電圧が印加された上記不純物領域との間にある上記記憶部を選択し、上記記憶データを書き込むべき選択行の上記ワード線に所定電圧を印加して、選択された上記記憶部の下方でチャネルをオンさせ、当該チャネル内を走行するキャリアの一部を選択した上記記憶部に注入し、上記メモリセルアレイ内の不純物領域に対し、上記書き込みドレイン電圧と上記基準電圧を印加対象を入れ替えて再度印加し、上記制御ゲート電極への上記ON電圧の印加を、書き込み対象の記憶データに応じた組合せで再度行い、上記記憶部と異なる残りの記憶部を選択し、上記ワード線への電圧印加を再度行って選択された記憶部の下方でチャネルをオンさせ、当該チャネル内を走行するキャリアの一部を選択した上記記憶部に注入する各ステップを含む。

【0029】この第6の観点に係る動作方法を用いてメモリセルアレイ全体の書き込みを行う場合、好適に、上記不純物領域の電位を固定した状態で、書き込み対象となるメモリセルが接続されたワード線を順次選択し、選択されたワード線ごとの書き込み対象の記憶データに応

じて上記制御ゲート電極へのON電圧印加を変えながら、上記記憶部の選択と、選択された記憶部へのキャリア注入とを、上記メモリセルアレイ内の全てのワード線に対し繰り返し実行し、上記メモリセルアレイ内の不純物領域に対して、上記書き込みドレイン電圧と上記基準電圧とを印加対象を入れ替えて再度印加し、上記不純物領域の電位を固定した状態で、書き込み対象となるメモリセルが接続されたワード線を順次選択し、選択されたワード線ごとの書き込み対象の記憶データに応じて上記制御ゲート電極へのON電圧印加を変えながら、上記記憶部の選択と、選択された記憶部へのキャリア注入とを、上記メモリセルアレイ内の全てのワード線に対し繰り返し実行する。

【0030】一般に、セル動作を最速とするためには、信号線、電源線の充放電回数を最小に必要がある。とくに、充放電に時間のかかるラインの電位変動回数は最小にす必要がある。ここで、不純物領域は抵抗が高く、抵抗値Rと容量値Cにより決まるRCの時定数が大きく、したがって充放電に最も時間がかかるセル間共通線であると考えられる。上記した第6実施形態に係る不揮発性半導体記憶装置の動作方法では、同一行のメモリセルに対してだけでなく、複数行からなるメモリセルアレイ全体に対して、不純物領域の電位についてハイレベルとローレベルとの間を1回上げ下げする間に、全てのメモリセルの書き込みが終了する。このため、信号線や電源線の電位変化を含む書き込み動作の時間が短い。

【0031】本発明の第7の観点に係る不揮発性半導体記憶装置の動作方法は、複数のメモリセルを行列状に配置してメモリセルアレイが構成され、上記メモリセルのそれぞれが、第1導電型半導体からなるチャネル形成領域と、第2導電型半導体からなり上記チャネル形成領域を挟んで互いに離間する2つの不純物領域と、積層された複数の誘電体膜を備え電荷保持能力を有した電荷保持膜と、上記2つの不純物領域側で上記チャネル形成領域の両端部に重なる上記電荷保持膜の領域からなる2つの記憶部と、上記記憶部間で上記チャネル形成領域上に接した单層の誘電体膜と、上記記憶部上のメモリゲート電極と、上記单層の誘電体膜上の制御ゲート電極とを有し、同一行内の上記メモリゲート電極がワード線により接続され、上記2つの不純物領域それぞれが、列方向に長く配置されて行方向に隣接するメモリセル間で共有され、上記制御ゲート電極が列方向に長く配置されて同一列内のメモリセル間で共有されている不揮発性半導体記憶装置の動作方法であって、読み出し動作が以下の諸ステップ、すなわち、上記メモリセルアレイ内で同一行内の奇数番目のメモリセル内の記憶部を読み出す第1の読み出しきっぷ（以下、読み出しきっぷ（1）と表記）と、上記同一行内の奇数番目のメモリセル内の他の記憶部を読み出す第2の読み出しきっぷ（以下、読み出しきっぷ（2）と表記）と、上記同一行内の偶数

番目のメモリセル内の記憶部を読み出す第3の読み出しきっぷ（以下、読み出しきっぷ（3）と表記）と、上記同一行内の偶数番目のメモリセル内の他の記憶部を読み出す第4の読み出しきっぷ（以下、読み出しきっぷ（4）と表記）とを含む。好適に、上記読み出し動作が以下の諸ステップ、すなわち、全ての上記不純物領域に基準電圧を印加し、かつ全ての上記制御ゲート電極にOFF電圧を印加するリセットのステップと、上記メモリセルアレイ内の上記制御ゲート電極に対し、チャネルをオフ状態からオンできる状態に移行させるON電圧とチャネルをオフ状態で維持するOFF電圧とを交互に印加することにより、奇数番目または偶数番目のメモリセルを選択するステップと、上記ON電圧と上記OFF電圧の印加対象を切り替えることにより、選択するメモリセルを変更するステップと、上記メモリセルアレイ内の上記不純物領域に対し、基準電圧と読み出しドレイン電圧とを交互に印加することにより、上記基準電圧を印加した不純物領域両側の記憶部の対を選択するステップと、上記基準電圧と上記読み出しドレイン電圧の印加対象を切り替えることにより、選択する記憶部の対を変更するステップとをさらに含む。また、好適に、同一行の複数のメモリセルに対する上記読み出し動作において以下の諸ステップ、すなわち、上記リセットをするステップ、上記記憶部の対を選択するステップ、上記メモリセルの選択により1回目の読み出しを行うステップ、上記選択するメモリセルの変更により2回目の読み出しを行うステップ、上記リセットをするステップ、上記選択する記憶部の対を変更するステップ、上記メモリセルの選択により3回目の読み出しを行うステップ、上記選択するメモリセルの変更により4回目の読み出しを行うステップを上記手順で実行する。

【0032】この第7の観点に係る動作方法を用いてメモリセルアレイ全体の読み出しを行う場合、好適な第1の方法では、上記不純物領域および上記制御ゲート電極の電圧印加条件を固定したままで、不純物領域と制御ゲート電極との選択に応じて上記読み出しきっぷ

（1）、（2）、（3）あるいは（4）のいずれかを上記メモリセルアレイ内の全ての行に対し繰り返し実行する。統いて、上記制御ゲート電極の電圧印加条件を変更し（交互に入れ替え）、制御ゲート電極および不純物領域の電位を固定した条件下で取り得る読み出しきっぷ（1）、（2）、（3）あるいは（4）のいずれかを上記メモリセルアレイ内の全ての行に対して繰り返す。つぎに、上記不純物領域の電圧印加条件を変更し（交互に入れ替え）、制御ゲート電極および不純物領域の電位を固定した条件下で取り得る読み出しきっぷ（1）。

（2）、（3）あるいは（4）のいずれかを上記メモリセルアレイ内の全ての行に対し繰り返し実行する。統いて、上記制御ゲート電極の電圧印加条件を変更し（交互に入れ替え）、制御ゲート電極および不純物領域の電位

を固定した条件下で取り得る読み出しステップ(1), (2), (3)あるいは(4)の何れかを上記メモリセルアレイ内の全ての行に対して繰り返す。この第1の方法において不純物領域への電圧印加の入れ替えと、制御ゲート電極への電圧印加の入れ替えを逆としてもよい。すなわち、好適な第2の方法では、上記不純物領域および上記制御ゲート電極の電圧印加条件を固定したままで、不純物領域と制御ゲート電極との選択に応じて上記読み出しステップ(1), (2), (3)あるいは(4)のいずれかを上記メモリセルアレイ内の全ての行に対して繰り返し実行する。統いて、上記不純物領域の電圧印加条件を変更し(交互に入れ替え)、制御ゲート電極および不純物領域の電位を固定した条件下で取り得る読み出しステップ(1), (2), (3)あるいは(4)のいずれかを上記メモリセルアレイ内の全ての行に対して繰り返す。

【0033】上記した第7実施形態に係る不揮発性半導体記憶装置の動作方法では、同一行のメモリセルに対してだけでなく、複数行からなるメモリセルアレイ全体に対して、不純物領域の電位についてハイレベルとローレベルとの間を2回上げ下げする間に、全てのメモリセルの読み出しが終了する。このため、信号線や電源線の電位変化を含む読み出し動作の時間が短い。

【0034】本発明の第8の観点に係る不揮発性半導体記憶装置の製造方法は、第1導電型半導体からなるチャネル形成領域と、第2導電型半導体からなり上記チャネル形成領域を挟んで互いに離間する2つの不純物領域と、積層された複数の誘電体膜を備え電荷保持能力を有した電荷保持膜と、上記2つの不純物領域側で上記チャネル形成領域の両端部に重なる上記電荷保持膜の領域からなる2つの記憶部と、上記記憶部間で上記チャネル形成領域上に接した単層の誘電体膜と、上記記憶部上のメモリゲート電極と、上記単層の誘電体膜上の制御ゲート電極とを有したメモリセルを含む不揮発性半導体記憶装置の製造方法であって、上記製造方法が以下の諸工程、すなわち、第1導電型半導体上に上記単層の誘電体膜と当該誘電体膜上の制御ゲート電極とからなるパターンを形成し、上記パターン表面および上記第1導電型半導体の表面を覆って上記電荷保持膜を形成し、上記パターンの側面に対し上記電荷保持膜を挟んで対向した導電材料

からなるサイドウォールを、上記記憶部となる上記電荷保持膜の部分上に形成し、上記サイドウォールおよび上記パターンをマスクとして、上記サイドウォールの外側の第1導電型半導体に第2導電型不純物を導入して、第2導電型の上記2つの不純物領域を形成し、上記サイドウォールとともに上記メモリゲート電極となる導電膜を成膜し、当該導電膜を加工して上記メモリゲート電極を形成する各工程を含む。好適に、上記製造方法が以下の諸工程、すなわち、上記第1導電型半導体内の表面領域の全域に、上記制御ゲート電極の下方の上記チャネル形成領域部分のしきい値電圧を規定する不純物を導入し、上記パターンを形成し、当該パターン周囲の上記チャネル形成領域部分に不純物を追加してしきい値電圧を調整する各工程を含む。

【0035】この製造方法では、従来の2ビット記憶可能なメモリセルの製造方法に、電荷蓄積能力を有しない単層の誘電体膜と制御ゲート電極とからなる積層パターンの形成工程を追加するだけで、上述した種々の良き作用をもたらすメモリセルが製造される。

【0036】

【発明の実施の形態】以下、nチャネルMONOS型のメモリトランジスタを有する不揮発性半導体メモリ装置を例に、本発明の実施形態を図面を参照しながら説明する。なお、pチャネル型の場合は、半導体素子内の不純物の導電型、キャリアおよび電圧印加条件の極性等を適宜逆とすることで、以下の説明が同様に適用できる。

【0037】第1実施形態

図1(A)は、第1実施形態に係るメモリセルの構造を示す断面図、図1(B)は、その平面図である。また、図2は、このメモリセルの等価回路図である。

【0038】図1(A)に示すメモリセルにおいて、符号1は、たとえば珪素などの半導体材料からなり半導体素子を形成する基体(p型半導体基板、pウェル、p型のSOI層など、以下、基板という)を示す。基板1内の表面領域に、n型不純物が高濃度に導入されて出来た2つの不純物領域(ソース・ドレイン(S/D)不純物領域)2が互いに離れて形成されている。S/D不純物領域2は、図1(B)に示すように、一方向に長く互いに平行に配置されている。2つのS/D不純物領域2間の基板表面領域が、動作時にメモリトランジスタのチャネルが形成されるチャネル形成領域となる。チャネル形成領域は、そのほぼ中央に形成された内側チャネル領域Ch2と、内側チャネル領域Ch2とS/D不純物領域2との間の2つの外側チャネル領域Ch1a, Ch1bとからなる。内側チャネル領域Ch2は、外側チャネル領域Ch1a, Ch1bに比べ活性化されたp型不純物の濃度が低く、高閾値化されている。

【0039】内側チャネル領域Ch2上に、たとえば1nm~10nm程度の厚さの二酸化珪素からなる単層のゲート誘電体膜4が形成されている。このゲート誘電体

膜4は、単層であり、かつ膜中のキャリアトラップは比較的に少なく電荷保持能力を有しない。ゲート誘電体膜4上に、たとえば不純物が添加された多結晶珪素または非晶質珪素からなる制御ゲート電極5が形成されている。制御ゲート電極5は、図1 (B) に示すように、S/D不純物領域2の離間スペース内で、S/D不純物領域2と平行に一方に向かって配線されている。制御ゲート電極5は、後述するように、メモリセルアレイの制御線CLを構成する。制御ゲート電極5のゲート長に限定はないが、たとえば50 nm以下と超微細化すると、チャネル内のキャリアが準バリストイックに走行し、好ましい。すなわち、電界条件にもよるが、このようにゲート長を極微細化すると、ソースから供給されたキャリアがチャネル内を移動する際に、不純物による細かな小角散乱は受けけるが軌道を大きく曲げるような大角散乱を受けることなく、キャリアが弾道的に走行するようになる。

【0040】ゲート誘電体膜4と制御ゲート電極5の積層パターンの表面、および基板表面を覆って、複数の絶縁膜を積層させてなり電荷保持能力を有する誘電体膜(電荷保持膜)6が形成されている。電荷保持膜6は、下層から順に、ボトム誘電体膜6-1、主に電荷蓄積を担う誘電体膜(主電荷蓄積膜)6-2、トップ誘電体膜6-3から構成されている。

【0041】ボトム誘電体膜6-1は、たとえば、熱酸化法により形成した二酸化珪素膜、二酸化珪素を窒化処理した膜などを用いる。ボトム誘電体膜6-1の膜厚は、たとえば2.5 nm～6.0 nm程度である。主電荷蓄積膜6-2は、たとえば3.0 nm～6.0 nm程度の窒化珪素膜から構成されている。この主電荷蓄積膜6-2は、たとえば減圧CVD (LP-CVD) により作製され、膜中に電荷トラップが多く含まれている。トップ誘電体膜6-3は、主電荷蓄積膜6-2との界面近傍に深い電荷トラップを高密度に形成する必要があり、このため、例えば成膜後の主電荷蓄積膜を熱酸化して形成される。トップ誘電体膜6-3はHTO (High Temperature chemical vapor deposited Oxide) 膜としてもよい。トップ誘電体膜6-3がCVDで形成された場合は熱処理によりこのトラップが形成される。トップ誘電体膜6-3の膜厚は、ゲート電極(ワード線WL)からのホールの注入を有効に阻止してデータ書換可能な回数の低下防止を図るために、最低でも3.0 nm、好ましくは3.5 nm以上が必要である。

【0042】この電荷保持膜6上に、制御ゲート電極5と交差するメモリトランジスタのゲート電極(以下、メモリゲート電極という)7が形成されている。メモリゲート電極7は、たとえば不純物が添加された多結晶珪素または非晶質珪素からなり、後述するように、メモリセルアレイのワード線WLを構成する。

【0043】このような構造のメモリセルMは、メモリトランジスタ、MOS型のトランジスタ、メモリトラン

ジスタが2つのビット線BL間に直列に接続した3トランジスタ構成となる。2つのメモリトランジスタのゲートは、ワード線WLにより制御され、中央のMOS型トランジスタのゲートはビット線BLと平行な制御線CLにより制御される。前記したチャネル濃度差、および誘電体膜4、6の材料、厚さおよび構造の諸条件により、消去状態のメモリトランジスタのしきい値電圧は、MOS型トランジスタのしきい値電圧より低く設定されている。中央のMOS型トランジスタの主な機能としては、メモリトランジスタの動作(書き込み、読み出し、消去)時に特性向上のために補助的に動作したり、基板1と電荷保持膜6の接触部分を規定する。基板1と電荷保持膜6の接触部分は“記憶部”と称され、電荷保持膜6のなかでも電荷が注入され保持される部分となる。2つの記憶部6a、6b間の単層の誘電体膜(ゲート誘電体膜4)は、電荷保持能力を有しないためデータ記憶に寄与できない。なお、トランジスタ動作の詳細は後述する。

【0044】図3および図4に、メモリセルアレイ構成の代表例を2例示す。なお、図3および図4は、6個×3個のメモリセルからなる、メモリセルアレイの一部を示す。

【0045】図3は、S/D不純物領域が行方向で分離されたNOR型メモリセルアレイを示す。このNOR型メモリセルアレイは、ソース線およびビット線が階層化されて、不純物領域からなる副ソース線および副ビット線間に所定数のメモリセルが並列接続されたブロックが、上層の主ソース線と主ビット線にさらに並列接続された構成を含む。また、図3においてはソース線SLとビット線BLと名称を付して役割を明示してあるが、2ビット/セル記憶が可能なMONOS型メモリセルにおいて、この役割は固定されるものではない。すなわち、2ビットのどちらを書き込むか或いは読み出すかによって、ソース線SLとビット線BLの役割は入れ替わる。

【0046】具体的には、たとえば、奇数番目のS/D不純物領域2からなるソース線SL1、SL2、…、SL6、…と、偶数番目のS/D不純物領域2からなるビット線BL1、BL2、…、BL6、…とが行方向に交互で、列方向に長く平行に配線されている。通常、これらの不純物領域からなる共通線SLi、BLi (i=1, 2, …)は、配線抵抗を低減するため、所定の個数おきに適宜、上層のメタル配線に接続されて階層化されている。また、図1のメモリゲート電極7からなるワード線WLiが、行方向に長く平行に配置されている。ソース線SLi、ビット線BLi対と、ワード線WLiとの交点付近に、図2に示す接続関係のメモリセルが配置されている。たとえば最初の列では、ソース線SL1とビット線BL1との間にメモリセルM11、M12、M13、…が並列接続され、メモリセルM11の2つのメモリゲート電極7がワード線WL1に接続され、メモリ

セルM1 2の2つのメモリゲート電極7がワード線WL2に接続され、メモリセルM1 3の2つのメモリゲート電極7がワード線WL3に接続されている。このような接続関係が、他の列についても繰り返されている。各列のメモリセルのほぼ中央を貫いて、図1の制御ゲート電極5からなる制御線CL1, CL2, …, CL6, …が列方向に配線されている。

【0047】これらの共通線を制御する回路は、特に図示していない。ソース線とビット線はカラムデコーダ、ワード線WLはロウデコーダ、制御線CLはカラム分割制御回路により制御される。

【0048】図4は、いわゆるVG型メモリセルアレイであり、NOR型の一種である。図4のメモリセルアレイでは、図3において隣り合うビット線BLiとソース線SLi+1が1本の配線で共通化されている。具体的に列方向の配線は、ソース線の機能を兼ねるビット線BL1, BL2, …, BL7, …と、制御線CL1, CL2, …, CL6, …が行方向に交互に配置されている。他の構成は、図3と同じである。このようなVG型メモリセルアレイでは、図3の場合と比較すると、片側のS/D不純物領域の配置スペースが不要であり、また上層のメタル配線に余裕があるため、セル面積が小さい。

【0049】つぎに、図1の構成のメモリセルの製造方法を、図5(A)～図5(D)を用いて説明する。

【0050】まず、用意したシリコンウエハなどに、必要に応じてpウェル、SOI層を形成する。このようにして出来たトランジスタを形成すべき半導体(基板1)の表面を、たとえば熱酸化してゲート誘電体膜4を形成する。このゲート誘電体膜4をスルーフとして、基板1内の表面全域に対し、中央のMOS型トランジスタの比較的高いしきい値電圧を決めるチャネルドープを、たとえばイオン注入により行う。これにより、図5(A)に示すように、基板1内の表面領域に、前記した内側チャネル領域Ch2となる高閾値チャネルドープ層1aが形成される。続いて、ゲート誘電体膜4上に、不純物が添加された多結晶珪素または非晶質珪素を堆積し、列方向に長いライン状にパターンニングし、制御ゲート電極5を形成する。

【0051】図5(B)に示すように、この制御ゲート電極5をマスクとし、ゲート誘電体膜4をスルーフとしたイオン注入により、制御ゲート電極5周囲の基板表面領域に逆導電型の不純物を導入する(カウンタードープ)。これにより、制御ゲート電極5周囲の基板表面領域では、制御ゲート電極5下方の領域よりp型が弱まる。その結果、図1において、内側チャネル領域Ch2に比べ、外側チャネル領域Ch1a, Ch1bのしきい値電圧が下がる。このことにより、同じゲート電圧を印加した場合でも、より低いチャネル抵抗を得ることができる。

【0052】つぎに、図5(C)に示すように、制御ゲ

ート電極5をマスクとしてゲート誘電体膜4と同じパターンに加工した後、このゲート誘電体膜4と制御ゲート電極5との積層パターンの表面および基板表面上に電荷保持膜6を形成する。具体的に、たとえば、短時間高温熱処理法(RTO法)により1000°C, 10secの熱処理を行い、二酸化珪素膜(ボトム誘電体膜6-1)を形成する。つぎに、ボトム誘電体膜6-1上にLP-CVD法により塗化珪素膜(主電荷蓄積膜6-2)を、最終膜厚が6nmとなるように、これより厚めに堆積する。このCVDは、たとえば、ジクロロシラン(DCS)とアンモニアを混合したガスを用い、基板温度730°Cで行う。形成した塗化珪素膜表面を熱酸化法により酸化して、たとえば3.5nmの二酸化珪素膜(トップ誘電体膜6-3)を形成する。この熱酸化は、たとえばH2O雰囲気中で炉温度950°Cで40分程度行う。これにより、トラップレベル(塗化珪素膜の伝導帯からのエネルギー差)が2.0eV以下の程度の深い電荷トラップが約 $1 \times 10^{11} \sim 1 \times 10^{12} / \text{cm}^2$ の密度で形成される。また、主電荷蓄積膜6-2が1nm減るごとに二酸化珪素膜(トップ誘電体膜6-3)が1.5nm形成され、この割合で下地の主電荷蓄積膜厚が減少し、主電荷蓄積膜6-2の最終膜厚が6nmとなる。

【0053】つぎに、制御ゲート電極5形状を反映して出来た電荷保持膜6の段差の両側面に、導電材料となるサイドウォール7aを形成する。具体的には、不純物が添加された多結晶珪素または非晶質珪素を厚く堆積し、これを異方性が強い条件で全面エッチング(エッチバック)する。必要に応じて、形成したサイドウォール7aおよび制御ゲート5をマスクとした斜めイオン注入により、n型あるいはp型の不純物1bを比較的基板1の深部にまで導入する。n型あるいはp型の不純物1bをサイドウォール7aの下方領域に導入することにより、しきい値電圧の調整、あるいはパンチスルーパス性を高めることが可能となる。

【0054】続いて、サイドウォール7aおよび制御ゲート電極5をマスクとした、ほぼ垂直なイオン注入により、n型不純物をサイドウォール7a外側の基板内領域にドープし、図5(D)に示すように、S/D不純物領域2を形成する。その後、たとえば、サイドウォール7aを構成する材料と同じ不純物添加条件の多結晶珪素または非晶質珪素を全面に厚く堆積し、制御ゲート電極5と直交する方向に長いライン状にパターンニングし、メモリゲート電極7(ワード線WL)を形成する。このときのエッチング終了時点では、図1(B)におけるメモリゲート電極7の線幅方向両側に、下地の電荷保持膜6が表出されることとなる。必要に応じて、意図的にオーバーエッチングを行い、この部分の電荷保持膜6の電荷保持能力を低減してもよい。なお、本実施形態のメモリセル構造では、余りオーバーエッチングしなくとも、制御ゲート電極5による段差部での多結晶珪素または非

品質珪素の残渣は発生しにくい。なぜなら、制御ゲート電極5のパターンニングではライン状に残されたレジストパターンをマスクとしたエッチングによるが、異方性を強くしても、通常は制御ゲート電極5の形成後のパターンが、レジスト断面形状を反映して多少なりとも順テープとなるのが普通だからである。

【0055】その後は、必要に応じて、層間絶縁膜の堆積、コンタクト形成、上層配線層の形成等をへて当該不揮発性半導体メモリ装置を完成させる。この製造方法では、制御ゲート電極5がない従来型セルの製法に比べて、ゲート誘電体膜4および制御ゲート電極5となる膜の成膜とパターンニングの工程が追加される。また、チャネルに抵抗差を設ける場合は、カウンタードープのイオン注入が必要となる。これらの工程は、不揮発性半導体メモリ装置の全製造工程に比べて僅かであり、大幅なコスト増の要因とならない。しかも、構造が極めて簡単であり、作りやすいという利点がある。

【0056】つぎに、メモリセルの動作を説明する。書き込みは、CHE注入を用いる第1の方法と、ブレークダウンによる高エネルギー電荷を注入する第2の方法がある。第1の方法の書き込み原理を図6 (A), 図6 (B) に示し、第2の方法の書き込み原理を図7に示す。

【0057】第1の方法では、ソースとなる不純物領域2に基準電圧 V_s 、ドレインとなる不純物領域2にドレイン電圧 V_d を印加し、制御ゲート電極5 (制御線CL) に所定の正電圧 V_{cg} 、メモリゲート電極7 (ワード線WL) に所定の正電圧 V_{wg} を印加する。この条件下、チャネル形成領域に反転層 (チャネル) が形成され、ソースから供給された電子がチャネル内を加速され、その一部がドレイン側で、電荷保持膜6のボトム誘電体膜 6_{-1} を構成する二酸化珪素膜のエネルギー障壁 ϕ_{SiO_2} を越える高エネルギー電子 (ホットエレクトロン) となる。ホットエレクトロンの一部は、ある確率で電荷保持膜6のドレイン側部分 (記憶部6b) に注入される。このチャネル内のホットエレクトロンの注入効率を上げるために、制御ゲート電極5の下の第1導電型半導体領域にチャネル方向に沿って高電界が生じるように、制御ゲート電極5とメモリゲート電極7に印加する電圧値を制御する。このことによって、注入領域の近傍にフラッシュメモリの分野で知られているソースサイド注入と同様の電界分布を作ることができ、注入効率を、たとえば3桁ほど改善できる。

【0058】このチャネル内の電子は、不純物散乱および半導体格子との衝突により電界から受けたエネルギーの一部を損失しながら、全体では加速されてゆく。図6 (B) における破線は、ポテンシャルエネルギーが全て運動エネルギーに変換された場合のエネルギーであり、電子が真空中を電界加速されると仮定したときに得られるエネルギーである。実際の電子の運動エネルギーは、

実線で示すように、加速されるほどエネルギーも大きくなりながらドレイン端付近でピークを迎える。電子が充满しているn型不純物領域2bに入ると急激に運動エネルギーが減少する。この運動エネルギーのピーク点を出来るだけ大きくすることができれば、ホットエレクトロンの注入効率が向上する。

【0059】本実施形態では、チャネルに抵抗差を持たせてことで内側チャネル領域Ch2の抵抗を相対的に高くし、この領域での電界を上げ、ここでの加速効率を上げる。したがって、電子が注入直前で最も効率よくエネルギー的に励起され、その結果、チャネルに抵抗差を持たせない従来の場合より、ホットエレクトロンの注入効率が向上する。とくに、内側チャネル長を短くすると、高エネルギー電界中を電子が準バリストイックに走行し、さらに注入効率が向上する。また、チャネルに抵抗差をもたせなくとも制御ゲート電極5を用いたチャネル制御によりソースサイド注入が可能であり、そのため従来より注入効率が向上する。

【0060】一方、もう一方の記憶部6aに書き込みたい場合は、2つの不純物領域2の電圧関係を入れ替えることにより、同様な原理でホットエレクトロンが記憶部6aに注入される。電子が注入されるとメモリトランジスタのしきい値電圧が上昇し書き込み状態となる。このように、1メモリセルに2ビットの記憶情報が独立に書き込みできる。

【0061】第2の書き込み方法では、図7に示すように、メモリゲート電極7 (ワード線WL) に負電圧 V_{wg} を印加し、書き込み側の不純物領域2に正電圧 V_d を印加する。この条件下、n型不純物領域の表面が深い空乏状態となり、エネルギー・バンドの曲がりが急峻となる。そして反転層が形成され、ついにはアバランシェブレークダウンが生じる。このブレークダウンに至る過程で高エネルギーを有する電子、ホール対が生じ、高エネルギー電子は正電圧 V_d に引き寄せられてn型不純物領域2内に吸収される。一方、高エネルギー・ホール (ホットホール) は、多くが基板1に流れるが、その一部がチャネル形成領域側にドリフトして、そこでメモリゲート電極7による電界に引き寄せられて二酸化膜障壁 ϕ_{SiO_2} を越えて、電荷保持膜6内に注入される。この第2の方法では、反対側の記憶部6aへのホットホール注入も同様にできる。この方法は、チャネルを形成しないため、2つの記憶部6a, 6bに同時に書き込みが可能である。

【0062】読み出しは、いわゆるリバースリードを用いる。すなわち、読み出し対象の記憶データが保持された記憶部側をソースとし、他の記憶部側がドレインとなるように、2つのS/D不純物領域2間に、たとえば1.5~3V程度のドレイン電圧を印加し、両ゲート電極5, 7それぞれに所定の正電圧を印加する。その結果、読み出し対象の記憶部内の電荷の有無または電荷量

の違いに応じて、チャネルのオン／オフあるいは電流量の違いが生じ、その結果、ドレイン側の不純物領域の電位変化が現出する。この電位変化を図示しないセンサアンプにより読み出すことで、記憶データの論理判別が可能となる。他の記憶部の読み出しは、ソースとドレインを入れ替えて同様に行う。これにより、2ビット記憶データが独立に読み出せる。

【0063】消去では、保持電荷を引き抜くか、逆極性の電荷を注入する。後者の場合、上記した第1の方法で書き込みしたときは、第2の方法を消去に用いる。逆に、第2の方法で書き込みしたときは、第1の方法を消去に用いる。消去に関してはバンド間トンネル効果に起因した高エネルギー電荷を注入する第3の方法を用いることもできる。この方法では、メモリゲート電極7と不純物領域2との間に、この不純物領域2の表面が反転する電圧を印加し、かつ、この不純物領域2と基板1との間のpn接合を逆バイアスさせる電圧を基板1に印加する。この逆バイアス電圧によってバンドの曲がりが急峻となり、バンド間トンネル電流に起因した電子一正孔対が発生する。このうち保持電荷と逆極性の電荷（たとえば正孔）は、メモリゲート電極7と不純物領域2との間の印加電界に加速され高エネルギーを得て、記憶部6aまたは6bに注入される。なお、前者の保持電荷の引き抜きでは、トンネリング現象による電荷が引き抜かれる大きさと方向の所定電界を、メモリゲート電極7と不純物領域2（および基板1）間に発生させる。これにより、保持電荷が基板側に引き抜かれ、メモリトランジスタのしきい値電圧が低い消去状態となる。

【0064】第1実施形態に係る不揮発性メモリによれば、電荷保持能力を有する2つの記憶部6a, 6bを有し、その2つの記憶部6a, 6bの間が電荷保持能力を有しない単層の誘電体膜4によって離されている。したがって、2ビット記憶データ保持時に、2ビットの記憶情報が確実に峻別される。なぜなら、各記憶部6a, 6bに過剰に電荷が注入されても、その間にデータ保持特性能力を有しない単層の誘電体膜4が存在することにより、ある領域以上は電荷注入が進まないため、電荷の分布領域同士が混じらないからである。また、高温保持時に保持電荷がドリフトしても電荷の分布領域同士が混じらないため、この点でも2ビット情報の記憶がぼけない。また、チャネル形成領域Chに抵抗差を設けることは、書き込みまたは消去時に、電荷の注入効率が高く、高速動作が実現された。

【0065】第2実施形態

第2実施形態は、第1の誘電体分離構造に関する。図8は、第2実施形態に係るメモリセルアレイを示す平面図である。図9(A)は図8のA-A線に沿った断面図、図9(B)は図8のB-B線に沿った断面図、図9(C)は図8のC-C線に沿った断面図である。

【0066】メモリセル内のチャネル方向に沿った断面

構造は、第1実施形態に係る図1(A)とほぼ同じである。ただし、第2実施形態では、制御ゲート電極5（制御線CL）上にエッティングストップ層5aが形成されている。エッティングストップ層5aは、メモリゲート電極7を構成する多結晶珪素または非晶質珪素に対しエッティング選択比が高く、そのエッティング条件では殆どエッティングが進まない材料、たとえば窒化珪素からなる。このエッティングストップ層5aを設けた理由は、制御ゲート電極5上方のメモリゲート電極7の厚さと、その周辺上のメモリゲート電極7の厚さが大きく異なることが原因で制御ゲート電極5が過剰なエッティングに曝されることを防止するためである。すなわち、メモリゲート電極7のエッティング時には、最初に制御ゲート電極5上の電荷保持膜6が露出するが、この膜は10nm程度と薄いためエッティングストップとして十分に機能できずにエッチャフされて制御ゲート電極5が露出し、その後のエッティングにより制御ゲート電極5が薄くなってしまう。エッティングストップ層5aは、この制御ゲート電極5の意図しないエッティングを防止するために設けている。

【0067】この制御ゲート電極5は、図8に示すように、制御線CLとして列方向に長く平行ストライプ状に配置されている。基板1内のn型不純物領域から構成されたビット線BLが、制御線CL間で各制御線と平行に配置されている。メモリゲート電極7からなるワード線WLが、このビット線BLおよび制御線CLと直交する行方向に長く平行ストライプ状に配置されている。

【0068】第2実施形態では、このワード線WLと幅方向両端部を一定幅で重なる誘電体分離層ISOが、ワード線WL間のスペースに沿って行方向に長いライン状に配置されている。図9(B)の制御ゲート電極5の配線部分で見ると、誘電体分離層ISO間の距離によりチャネル幅が規定される。誘電体分離層ISO間の内側チャネル形成領域Ch2上に単層の誘電体膜（ゲート誘電体膜）4が薄く形成され、この部分でチャネルを制御するための電界が発生する。また、その両側では誘電体分離層ISOの存在により制御ゲート電極5の基板電位に対する影響が十分に弱められている。

【0069】一方、図9(C)の記憶部の部分で見ると、誘電体分離層ISO上と、その間の外側チャネル領域Ch1上に電荷保持膜6が形成されている。誘電体分離層ISOのスペース幅とほぼ同一な幅のワード線WLの主体部分が、電荷保持膜6を挟んで外側チャネル領域Ch1と対向している。外側チャネル領域Ch1上に接する電荷保持膜6の部分が記憶部であり、書き込み時または消去時に、この記憶部に対しワード線WLにより電荷の入出力を制御する。第2実施形態では、書き換えを繰り返している間に電荷が記憶部から漏れ出しがあっても、誘電体分離層ISOを記憶部のチャネル幅方向両側に隣接して設けていることから、正規のチャネルの周囲でワード線による電界の支配を受けない領域にリー

クパスが形成されることが有効に防止される。また、ワード線WLの側面に導電性サイドウォール7bが形成されている。この導電性サイドウォール7bは、ワード線WLのラインとスペースの幅をリソグラフィの最小限界Fで形成した場合でも、エリアペナルティを被ることなくワード線幅だけを拡大する目的で設けられている。また、導電性サイドウォール7bを設けた他の目的は、ワード線形成時のアライメントずれが誘電体分離層ISOの形成パターンに対し生じた場合でも、誘電体分離層ISO間のスペースの半導体領域内でワード線による電界の支配を受けない領域が生じるのを防止することにある。

【0070】つぎに、第2実施形態に係るメモリセルアレイの製造方法を、図10(A)～図10(D)に沿って、また他の図面も参考しながら説明する。この図10(A)～図10(D)は、図8のD-D線に沿った断面を表しており、工程としては図5(A)～図5(D)の各工程に対応している。

【0071】図10(A)では、まず、基板1の表面上に、図8に示す平面パターンにて誘電体分離層ISOを形成する。誘電体分離層ISOは、LOCOS(Local Oxidation of Silicon)法、STI(Shallow Trench Isolation)法またはフィールドアイソレーション法の何れかにより形成される。誘電体分離層ISOの厚さは、その下面に接する半導体領域にチャネルが形成されない厚さ、たとえば10数nm～数10nm程度である。したがって、段差としては余り大きくならないため、形成手順が最も簡単なフィールドアイソレーション法の採用が可能である。フィールドアイソレーション法では、基板表面を熱酸化するか、二酸化珪素をCVD等により形成し、パターンニングする。図9(B)、図9(C)に示される誘電体分離層ISOにより開口した基板面にゲート誘電体膜4を熱酸化法により形成し、このゲート誘電体膜4をスルーフルムとして内側チャネル形成領域Ch2のしきい値電圧を決めるチャネルドープを行う。不純物が添加された多結晶珪素または非晶質珪素と、エッチングストップ層となる塗化珪素膜5aをこの順で誘電体分離層ISO上およびチャネル形成領域Ch上に形成する。これらをの膜を列方向に長いストライプ状にパターンニングし、制御ゲート電極5とエッチングストップ層5aとの積層パターンを形成する。

【0072】図10(B)では、必要に応じて、制御ゲート電極5より外側のチャネル形成領域Chにチャネルドープとは逆導電型の不純物イオンをドープ(カウンタードープ)する。これにより、しきい値電圧が低い外側チャネル領域Ch1が形成される。

【0073】図10(C)では、制御ゲート電極5をマスクとしてゲート誘電体膜4と同じパターンに加工した後、電荷保持膜6を全面に形成する。電荷保持膜6としては、ボトム誘電体膜6-1、主電荷蓄積膜6-2およびト

ップ誘電体膜6-3からなる3層膜を用いることができる。その形成方法は、第1実施形態と同様である。第1実施形態と同様にして、制御ゲート電極5の側面に近接し、導電材料からなるサイドウォール7aを形成する。また、必要に応じて、しきい値電圧の調整あるいはパンチスルーナン性の向上を目的として、斜めイオン注入法によりn型あるいはp型の不純物1bを基板深部にまで導入する。

【0074】図10(D)では、まず、ほぼ垂直なイオン注入により、n型不純物を高ドースでイオン注入する。これにより、S/D不純物領域2(ピット線BL)が形成されるが、そのS/D不純物領域2は誘電体分離層ISOのラインと交差する箇所で誘電体分離層ISOの下に埋め込まれて形成される。つぎに、サイドウォール7aと同じ導電材料を全面に厚く堆積し、パターンニングしてメモリゲート電極7を平行ストライプ状に加工する。また、同じ導電材料を全面に厚く堆積してエッチバックする。これにより、図10(D)に現れていない箇所に、両側面にサイドウォール7bを有したワード線WLが形成される。

【0075】その後は、必要に応じて、層間絶縁膜の堆積、コンタクト形成、上層配線層の形成等を経て当該不揮発性半導体メモリ装置を完成させる。このように、フィールドアイソレーション法を用いた場合、第1実施形態の製造方法の最初に誘電体膜の堆積とパターンニングの工程を追加するだけで誘電体分離層ISOが形成され、あとは第1実施形態と同様な工程が履行可能である。これらの工程は、不揮発性半導体メモリ装置の全製造工程に比べて僅かであり、大幅なコスト増の要因とならない。

【0076】第3実施形態

第3実施形態は、第2の誘電体分離構造に関する。図11は、第3実施形態に係るメモリセルアレイを示す平面図である。この第3実施形態においては、メモリセル内のチャネル方向に沿った断面構造は第1および第2実施形態と基本的に同じである(図1(A))。また、図9(A)、図9(B)および図9(C)と同じ断面でみた構造は第2実施形態と同じである。

【0077】すなわち、図9(B)および図9(C)に示す部分では、第2実施形態と同様に誘電体分離層ISOが形成されている。そのため、制御ゲート電極5やワード線WLの基板電位に対する影響が十分に弱められ、また電荷が記憶部から滲み出した電荷の基板電位への影響が十分軽減されており、これによってリーク電流の発生を防止している。また、制御ゲート電極5上にエッチングストップ層5aが形成されていることと、その効果、ワード線WLの側面に導電性サイドウォール7bが形成されていることと、その効果も、第2実施形態で述べた通りである。

【0078】第3実施形態では、図11に示すように、

ワード線WLと幅方向両端部を一定幅で重なる誘電体分離層ISOが、ワード線WL間のスペースに沿って配置され、かつビット線BLをなすS/D不純物領域2上で分離されている。図12(D)は、図8のD-D線に沿った断面図である。図12(D)において、ビット線BLをなすS/D不純物領域2間の半導体領域上にのみ孤立バターンの誘電体分離層ISOが配置されている。誘電体分離層ISO上に制御ゲート電極5とエッチングストップ層5aの積層バターンが配置され、これらとS/D不純物領域2上を覆って電荷蓄積膜6が形成されている。

【0079】つぎに、第3実施形態に係るメモリセルアレイの製造方法を、図12(A)～図12(D)に沿って、また他の図面も参照しながら説明する。この図12(A)、図12(B)および図12(D)それぞれは、工程としては図5(A)、図5(B)および図(D)の各工程に対応している。また、図12(C-1)と図12(C-2)の工程が図5(C)の工程に対応している。

【0080】図12(A)では、第2実施形態と同様な方法で同様なバターンにて、すなわち行方向に長い平行ストライプ状にて誘電体分離層ISOを基板1の表面上に形成する。誘電体分離層ISOの厚さは、その下面に接する半導体領域にチャネルが形成されない厚さ、たとえば10數nm～數10nm程度である。また、第2実施形態と同様に、誘電体分離層ISOにより開口した基板面にゲート誘電体膜4を熱酸化法により形成し、このゲート誘電体膜4をスルーフィルムとして内側チャネル形成領域Ch2のしきい値電圧を決めるチャネルドープを行う。不純物が添加された多結晶珪素または非晶質珪素の膜と、エッチングストップ層となる塩化珪素膜5aをこの順で誘電体分離層ISO上およびチャネル形成領域Ch上に形成する。これらの膜を列方向に長いストライプ状にバターンニングし、制御ゲート電極5とエッチングストップ層5aとの積層バターンを形成する。

【0081】図12(B)では、第2実施形態と同様に、必要に応じて、制御ゲート電極5より外側のチャネル形成領域Chにチャネルドープとは逆導電型の不純物イオンをドープ(カウンタードープ)する。これにより、しきい値電圧が低い外側チャネル領域Ch1が形成される。

【0082】図12(C-1)では、まず、制御ゲート電極5とエッチングストップ層5aとの積層バターンの幅方向両側に沿って、誘電体分離層ISOの材料に対してエッチング速度が遅い材料からなるサイドウォール8を形成する。その材料としては、誘電体分離層ISOが二酸化珪素の場合に、たとえば塩化珪素が選択される。このサイドウォール8およびエッチングストップ層5aをマスクとしたエッチングを行う。これにより、行方向に長いライン状の誘電体分離層ISOが、S/D不純物

領域2の形成領域上で分離され、セルごとに孤立したバターンとなる。必要に応じて、同じくサイドウォール8およびエッチングストップ層5aをマスクとして、しきい値電圧の調整あるいはパンチスルーパス性の向上を目的として、斜めイオン注入法によりn型あるいはp型の不純物1bを基板深部にまで導入する。また、統一して、n型不純物を高ドーズでイオン注入する。これにより、図11に示すように、制御ゲート電極5の両側にそれぞれサイドウォール8の幅だけ離間し、行方向に長く平行ストライプ状のバターンにてビット線BLをなすS/D不純物領域2が形成される。

【0083】サイドウォール8を選択的に除去した後、図12(C-2)に示すように、電荷保持膜6を全面に形成する。電荷保持膜6としては、ボトム誘電体膜6-1、主電荷蓄積膜6-2およびトップ誘電体膜6-3からなる3層膜を用いることができる。その形成方法は、第1実施形態と同様である。

【0084】導電材料を全面に厚く堆積し、バターンニングしてメモリゲート電極7を平行ストライプ状に加工する。また、同じ導電材料を全面に厚く堆積してエッチバックする。これにより、図12(D)には現れていない箇所に、両側面にサイドウォール7bを有したワード線WLが形成される。

【0085】その後は、必要に応じて、層間絶縁膜の堆積、コンタクト形成、上層配線層の形成等を経て当該不揮発性半導体メモリ装置を完成させる。この製造方法では、誘電体分離層ISOの分離およびS/D不純物領域2の形成を制御ゲート5に対し自己整合的に行える。したがって、第1、第2実施形態と同様、記憶部6a、6bのチャネル方向の寸法がばらつくことがない。また、この第3実施形態においては、誘電体分離層ISOのバターン形成用のフォトマスクが第2実施形態と兼用できる。誘電体分離層ISOの形成に、フィルドアイソレーション法を用いた場合、第1実施形態の製造方法の最初に誘電体膜の堆積とバターンニングの工程を追加するだけで誘電体分離層ISOが形成され、あとは第1実施形態と同様な工程が履行可能である。これらの工程は、不揮発性半導体メモリ装置の全製造工程に比べて僅かであり、大幅なコスト増の要因とならない。

【0086】第4実施形態

第4実施形態は、本発明に係る構造のメモリセルを用いたVGセルアレイ(図4)のシリアル動作に関する。本発明で制御ゲート電極を設けた理由の一つは、VGセルアレイにおけるシリアル動作を実現するためである。以下、このアレイ制御方法を用いた書き込み動作を説明する。

【0087】図13は、第2行の6メモリセルに、12ビットデータ(1, 0, 1, 0, 0, 0, 0, 1, 0, 1, 1, 1)を2回のCHE注入書き込み動作で並列書き込みする場合を例示する。図13には、制御線CL1

～CL 6の制御データを示す。ここで、“ON”はメモリセルにチャネルができるうるON状態（にする電圧値），“OFF”はメモリセルにチャネルが形成できないOFF状態（にする電圧値）を示す。

【0088】図14に1回目の書き込み動作を示す。このとき、ビット線の奇数番目に共通電圧Vc（たとえば接地電圧）を印加し、ビット線の偶数番目に所定の正電圧（ドレイン電圧Vd）を印加する。CHE書き込みはドレイン側の記憶部になされることから、ドレイン電圧Vdが印加されたビット線BL2, BL4, BL6の両側の記憶部が選択され、これにより、それぞれ書き込み可能となる。実際の書き込みは、制御線が“ON”的メモリセルでのみ可能であり、したがって、制御線CL2の左側の記憶部、制御線CL5の右側の記憶部、および、制御線CL6の左側の記憶部の3箇所で書き込みがされ、それぞれの記憶データが“1”となる。選択箇所の他の記憶部は消去状態の“0”を維持する。

【0089】図15に2回目の書き込み動作を示す。このとき、上記した1回目の書き込み時と、共通電圧Vcとドレイン電圧Vdの印加対象を入れ替える。したがって、記憶部の選択箇所は、1回目で選択されなかった残りの箇所全てが選択されることになる。この場合も、制御データに応じて実際の書き込み箇所が決められ、図15の例では、制御線CL1の左側の記憶部、制御線CL4の右側の記憶部、および、制御線CL6の右側の記憶部の3箇所で書き込みがされ、それぞれの記憶データが“1”となる。選択箇所の他の記憶部は消去状態の“0”を維持する。

【0090】この2回の並列書き込み動作により、図4に示す12ビットの書き込みデータが1つのワード線WL2に接続する6メモリセル内に書き込まれたこととなる。このように、本実施形態に係るメモリセルでは、チャネルの形成を制御する制御ゲート電極を有することにより、VG型セルアレイに対し少ない回数でシリアルアクセス、シリアル動作が可能となる。また、半導体の不純物領域からなり時定数が大きく高速切り替えができないビット線の上げ下げを1回のみとしているため、読み出し動作に要する時間の低減に有利である。また消費エネルギーの低減にも有利である。

【0091】メモリセルアレイ全体に対する書き込みでは、ビット線電位を一旦設定したら、その電位を固定したまま全ての行に対し順次書き込みを済ませ、ビット線電位を反転して、その電位を固定したまま全ての行に対し順次書き込みを行うことが望ましい。全ての行に対する最初の書き込みにおいて、2つの記憶部の一方側に書き込みがなされ、全ての行に対する2回目の書き込みにおいて、2つの記憶部の他方側に書き込みがなされる。このVG型メモリセルアレイ全体に対する書き込み動作において、少ない回数でシリアルアクセス、シリアル動作が可能であり、また、半導体の不純物領域からなり時

定数が大きく高速切り替えができないビット線の上げ下げを1回のみとしているため、書き込み動作に要する時間の低減および消費エネルギーの低減に有利である。

【0092】つぎに、読み出し動作を説明する。読み出しでは、ソース側の記憶部の記憶状態を読み出すことから、書き込み時とは反対に共通電圧Vc両側の記憶部が読み出し可能に選択されるが、ドレイン電圧Vdの両側のメモリセルが導通した場合に誤動作が生じるため、1つおきのメモリセルの片側づつを読み出ししなければならない。したがって、1行を読み出す動作サイクルは4回となる。

【0093】図16に1回目の読み出し動作を示す。初期状態では、全てのビット線が共通電圧Vc、全ての制御線がOFF電圧で保持されている。最初に、奇数番目のビット線に共通電圧Vc（たとえば接地電圧）を印加し、偶数番目のビット線に所定の正電圧（ドレイン電圧Vd）を印加する。読み出しはソース側の記憶部に対してなされることから、共通電圧Vcが印加されたビット線BL1, BL3, BL5, BL7の両側の記憶部が選択され、これにより、それぞれ読み出し可能となる。奇数番目の制御線CL1, CL3, CL5, CL7を“OFF”から“ON”とし、所定のワード線WL2にワードゲート電圧Vwgを印加して活性化する。実際の読み出しは、制御線が“ON”的メモリセルでのみ読み出しが可能であり、したがって、図16の○印で示す記憶部の1ビット情報が読み出せる。すなわち、制御線CL1の左側の記憶部、制御線CL3の左側の記憶部、および、制御線CL5の左側の記憶部の3箇所で、記憶データに応じてメモリセルM12, M32, M52内を読み出し電流が流れる。これに応じて、奇数番目のビット線電位が正方向に振れるか否か、偶数番目のビット線電位が負方向に振れるか否か、または、ビット線BL1とBL2、ビット線BL3とBL4あるいはビット線BL5とBL6間で電位差をとった結果によって、記憶データの論理を判別する。記憶データの判別後は、ワード線WL2の電位を初期値に戻して不活性とする。

【0094】図17に2回目の読み出し動作を示す。制御線の電圧関係を上記1回目の読み出し動作と逆に切り替える。すなわち、奇数番目の制御線CL1, CL3, CL5, CL7を“ON”から“OFF”とし、偶数番目の制御線CL2, CL4, CL6を“OFF”から“ON”とする。また、所定のワード線WL2にワードゲート電圧Vwgを印加して活性化する。このとき制御線が“ON”的メモリセルのみで読み出しが可能であり、したがって、図17の○印で示す記憶部の1ビット情報が読み出せる。すなわち、制御線CL2の右側の記憶部、制御線CL4の右側の記憶部、および、制御線CL6の右側の記憶部の3箇所で、記憶データに応じてメモリセルM22, M42, M62内を読み出し電流が流れる。これに応じて、奇数番目のビット線電位が正方向

に振れるか否か、偶数番目のビット線電位が負方向に振れるか否か、または、ビット線BL1とBL2、ビット線BL3とBL4あるいはビット線BL5とBL6間で電位差をとった結果によって、記憶データの論理を判別する。記憶データの判別後は、ワード線WL2の電位を初期値に戻して不活性とするとともに、全てのビット線と全ての制御線を一旦初期状態に戻しておく。

【0095】図18に3回目の読み出し動作を示す。最初に、ビット線の電圧関係を上記した1回目および2回目の読み出しとは逆にする。すなわち、奇数番目のビット線にドレイン電圧Vdを印加し、偶数番目のビット線に共通電圧Vcを印加する。これにより、共通電圧Vcが印加されたビット線BL2, BL4, BL6の両側の記憶部が選択され、これにより、それぞれ読み出し可能となる。奇数番目の制御線CL1, CL3, CL5, CL7を“OFF”から“ON”とし、所定のワード線WL2にワードゲート電圧Vwgを印加して活性化する。このとき制御線が“ON”的メモリセルでのみ読み出しが可能であり、したがって、図18の○印で示す記憶部の1ビット情報が読み出せる。すなわち、制御線CL1の右側の記憶部、制御線CL3の右側の記憶部、および、制御線CL5の右側の記憶部の3箇所で、記憶データに応じてメモリセルM12, M32, M52内を読み出し電流が流れる。これに応じて、偶数番目のビット線電位が正方向に振れるか否か、奇数番目のビット線電位が負方向に振れるか否か、または、ビット線BL1とBL2、ビット線BL3とBL4あるいはビット線BL5とBL6間で電位差をとった結果によって、記憶データの論理を判別する。記憶データの判別後は、ワード線WL2の電位を初期値に戻して不活性とする。

【0096】図19に4回目の読み出し動作を示す。制御線の電圧関係を上記3回目の読み出し動作と逆に切り替える。すなわち、奇数番目の制御線CL1, CL3, CL5, CL7を“ON”から“OFF”とし、偶数番目の制御線CL2, CL4, CL6を“OFF”から“ON”とする。また、所定のワード線WL2にワードゲート電圧Vwgを印加して活性化する。このとき制御線が“ON”的メモリセルでのみ読み出しが可能であり、したがって、図19の○印で示す記憶部の1ビット情報が読み出せる。すなわち、制御線CL2の左側の記憶部、制御線CL4の左側の記憶部、および、制御線CL6の左側の記憶部の3箇所で、記憶データに応じてメモリセルM22, M42, M62内を読み出し電流が流れる。これに応じて、偶数番目のビット線電位が正方向に振れるか否か、奇数番目のビット線電位が負方向に振れるか否か、または、ビット線BL1とBL2、ビット線BL3とBL4あるいはビット線BL5とBL6間で電位差をとった結果によって、記憶データの論理を判別する。記憶データの判別後は、ワード線WL2の電位を初期値に戻して不活性とするとともに、全てのビット線

と全ての制御線を初期状態に戻す。

【0097】以上の4回の動作で、1つのワード線WLに接続された全てのメモリセルのビット情報が読み出された。メモリセルアレイ全体、あるいはその一部であるメモリセルブロック内のメモリセルを読み出す際には、上述した4回の各読み出し動作において、活性化すべきワード線を順次切り替えながら、同様な動作をワード線の数だけ繰り返す。たとえば、図16に示す3個×6個のメモリセルからなるブロック全体の読み出し動作を、上記した1回目、2回目、3回目および4回目の手順で順次行う場合、1回目から4回目までの各読み出し動作内での読み出しサイクル数はワード線数とおなじ3となり、合計で12サイクルの読み出しが必要となる。

【0098】まず、1回目の読み出し動作を説明する。この場合も、初期状態では、全てのビット線が共通電圧Vc、全ての制御線がOFF電圧で保持されている。最初に、奇数番目のビット線に共通電圧Vc（たとえば接地電圧）を印加し、偶数番目のビット線に所定の正電圧（ドレイン電圧Vd）を印加する。読み出しはソース側の記憶部に対しなされことから、共通電圧Vcが印加されたビット線BL1, BL3, BL5, BL7の両側の記憶部が選択され、これにより、それぞれ読み出し可能となる。奇数番目の制御線CL1, CL3, CL5, CL7を“OFF”から“ON”とし、最初のワード線WL1にワードゲート電圧Vwgを印加して活性化する。実際の読み出しが、制御線が“ON”的メモリセルでのみ読み出しが可能であり、したがって、図16の破線の丸印で示す記憶部の1ビット情報が読み出せる。すなわち、ワード線WL1に連なるメモリセル行において、制御線CL1の左側の記憶部、制御線CL3の左側の記憶部、および、制御線CL5の左側の記憶部の3箇所で、記憶データに応じてメモリセルM12, M32, M52内を読み出し電流が流れる。これに応じて、奇数番目のビット線電位が正方向に振れるか否か、偶数番目のビット線電位が負方向に振れるか否か、または、ビット線BL1とBL2、ビット線BL3とBL4あるいはビット線BL5とBL6間で電位差をとった結果によって、記憶データの論理を判別する。記憶データの判別後は、ワード線WL1の電位を初期値に戻して不活性とする。

【0099】2サイクル目では、2番目のワード線WL2にワードゲート電圧Vwgを印加して活性化する。実際の読み出しが、制御線が“ON”的メモリセルでのみ読み出しが可能であり、したがって、図16の○印で示す記憶部の1ビット情報が読み出せる。すなわち、ワード線WL2に連なるメモリセル行において、制御線CL1の左側の記憶部、制御線CL3の左側の記憶部、および、制御線CL5の左側の記憶部の3箇所で、記憶データに応じてメモリセルM12, M32, M52内を読み出し電流が流れる。これに応じて、奇数番目のビット線

電位が正方向に振れるか否か、偶数番目のビット線電位が負方向に振れるか否か、または、ビット線BL1とBL2、ビット線BL3とBL4あるいはビット線BL5とBL6間で電位差をとった結果によって、記憶データの論理を判別する。記憶データの判別後は、ワード線WL2の電位を初期値に戻して不活性とする。

【0100】3サイクル目では、3番目のワード線WL3にワードゲート電圧Vwgを印加して活性化する。実際の読み出しあは、制御線が“ON”のメモリセルでのみ読み出しが可能であり、したがって、図16の破線の四角印で示す記憶部の1ビット情報が読み出せる。すなわち、ワード線WL3に連なるメモリセル行において、制御線CL1の左側の記憶部、制御線CL3の左側の記憶部、および、制御線CL5の左側の記憶部の3箇所で、記憶データに応じてメモリセルM12, M32, M52内を読み出し電流が流れる。これに応じて、奇数番目のビット線電位が正方向に振れるか否か、偶数番目のビット線電位が負方向に振れるか否か、または、ビット線BL1とBL2、ビット線BL3とBL4あるいはビット線BL5とBL6間で電位差をとった結果によって、記憶データの論理を判別する。記憶データの判別後は、ワード線WL3の電位を初期値に戻して不活性とする。

【0101】以下同様に、2回目から4回目までの読み出し動作を、それぞれ3サイクル繰り返すと、たとえば図16に示す全てメモリセルのビット情報が読み出される。このメモリセルアレイに対する読み出し動作では、時定数が大きなビット線の電位の上げ下げを2回のみとし、そのことが、読み出しに関する動作全体の速度向上と消費電力の低減に寄与する。

【0102】なお、消去では、通常、メモリセルアレイ一括で消去されるが、行単位の消去も可能である。チャネルホットホール（pチャネル型ではCHE）注入消去では、CHE注入書き込みと同様2回の動作サイクルで1行ごとに消去でき、ブレークダウンによるホットホール（pチャネル型ではホットエレクトロン）注入消去では、1回の動作サイクルで1行ごとに消去できる。

【0103】このようなシリアル動作は、本発明におけるメモリセルアレイを複数に分割して動作させることの一態様である。すなわち、本発明では、制御線によりOFFとするメモリセルを、所定数、たとえば2, 3, 4, …、このましくは2, 4, 6, 8, 16, …おきに設け、メモリセルをn個のグループに分割する。そして、その不活性状態のメモリセル間で1つづつ、全体でn個のメモリセルをシリアルアクセスし、一括して動作（書き込み、読み出しあは消去）させる。つぎのサイクルでは、不活性状態のメモリセルを一方向にずらして新たなグループ分けをし、同様にn個のメモリセルを一括して動作させる。この動作を、グループ内のメモリセル数だけ繰り返すことで1本のワード線WLに連なる全てのメモリセルの動作が完了する。

【0104】第5実施形態

第5実施形態は、読み出し動作において読み出し対象セルと同じ列からビット線に流れるリーク電流を低減するための非選択行のゲートバイアス方法に関する。ここでは、図3に示す列方向のソース線が隣接メモリセル間で分けられたNOR型（分離ソース線NOR型）メモリセルアレイと、図4に示す上記共通線が隣接メモリセル間で共有されたVG型メモリセルアレイとを例として説明する。

【0105】図20に、分離ソース線NOR型メモリセルアレイにおいて読み出し時の具体的なバイアス条件を示す。分離ソース線NOR型メモリセルアレイにおいては、1回の読み出しサイクルで同一行の各メモリセルから1ビットずつの並列読み出しが可能である。この図20のバイアス条件は、選択されたワード線WL2に接続された全てのメモリセルM12, M22, …M62を選択するページ読み出しのうちで、とくに、各メモリセル内で制御線の左側の記憶のビット情報を同時に読み出す場合に対応している。全てのビット線BL1～BL6に読み出しドレイン電圧Vd、たとえば1.2Vを印加し、全てのソース線SL1～SL6に基準電圧Vs、たとえば0Vを印加し、選択されたワード線WL2に読み出しゲート電圧Vwg、たとえば電源電圧Vcc3.3Vを印加する。また、ページ読み出しあは全ての制御線CL1～CL6に、チャネルをオンするための制御ゲート電圧Vcg、たとえば3Vを印加する。

【0106】このとき本実施形態では、非選択のワード線WL1, WL3に、チャネル形成領域に対し順バイアスとなる方向の電圧を印加する。ここで“チャネル形成領域に対し順バイアスとなる方向の電圧”とは、チャネル形成領域の電位を基準とした電圧印加方向が、pn接合を想定して順方向となるような電圧をいう。具体的に、たとえば図1において、チャネル形成領域Ch1a, Ch1bがp型で接地電位に保持されているときは当該電圧は負電圧であり、逆に、チャネル形成領域Ch1a, Ch1bがn型で接地電位に保持されているときは当該電圧は正電圧である。このチャネル形成領域に対し順バイアスとなる方向の電圧は、絶対値で1V以下が望ましい。当該非選択メモリトランジスタの読み出し時にディスターブを低減して誤書き込み、誤消去を防止するためである。ここでは、順バイアス方向の電圧Vuwとして、たとえば-0.5Vを印加する。

【0107】メモリセルは記憶データの論理に応じてしきい値電圧が変化しているので、選択されたメモリセルに対する同一のバイアス条件下では、記憶データの論理に応じてメモリトランジスタのチャネル導電率が有効に変化し、ビット線に流れる電流量の変化またはビット線電位の変化が現出する。一般には、選択メモリトランジスタがオンしたときのみ、選択されたビット線BLに有効な読み出し電流が流れる。この読み出し電流の有無ま

たは大小を、不図示のセンスアンプで増幅して記憶データの論理を判別する。

【0108】この読み出し動作によりワード線WL2に接続されたメモリセル行の半分の記憶データが読み出された訳であるが、残りの半分、すなわち各制御線の右側の記憶内のデータ読み出しは、ビット線とソース線の電圧関係を図20とは逆にし、他の条件は図20に示す条件とすることで実行できる。つまり、全てのソース線SL1～SL6に読み出しドレイン電圧Vd、たとえば1.2Vを印加し、全てのビット線BL1～BL6に基準電圧Vs、たとえば0Vを印加し、選択されたワード線WL2に読み出しゲート電圧Vwg、たとえば電源電圧Vcc3.3Vを印加する。また、ページ読み出しでは全ての制御線CL1～CL6に、チャネルをオンするための制御ゲート電圧Vcg、たとえば3Vを印加する。これにより、上記とは逆方向にチャネル電流が流れ、低電界側の記憶部、すなわち制御線より右側の記憶部の蓄積電荷量を反映してチャネルの導電率が有効に変化し、これにより低電界側の記憶部の蓄積電荷量が読み出し電流量またはドレイン電圧Vdを印加したソース線の電圧変化量に換算され、記憶データとして読み出される。

【0109】図21に、VG型メモリセルアレイにおいて読み出し時の具体的なバイアス条件を示す。VG型メモリセルアレイの読み出し動作の基本的な手順については、第4実施形態で既に詳しく述べた。その内容を一言で言うと、奇数番目のビット線BL(2n-1) (n:自然数)および偶数番目のビット線BL(2n)に印加するドレイン電圧Vdと基準電圧Vc (あるいは共通電圧Vc)の組合せと、奇数番目の制御線CL(2n-1)および偶数番目の制御線CL(2n)に印加するON電圧とOFF電圧との組合せを変えて行う4回の読み出し動作により、1つのメモリセル行の全てのビットを読み出すものであった。非選択メモリセルのゲートに印加する順バイアス方向の電圧は4回の読み出し動作で変わらないことから、図21には、代表して第4実施形態における1回目の読み出し動作における具体的なバイアス条件を例示した。

【0110】ここで、読み出し対象となるビットは、制御線CL1の左側のビット、制御線CL3の右側のビット、および、制御線CL5の右側のビットの3ビットである。これを可能とするには、奇数番目のビット線に基準電圧Vs=0Vを印加し、偶数番目のビット線にドレイン電圧Vd=1.2Vを印加し、奇数番目の制御線にON電圧、すなわちVcg=3Vを印加し、偶数番目の制御線にOFF電圧、すなわちVs=0Vを印加する。また、所定のワード線WL2に読み出しゲート電圧Vwg、すなわち電源電圧Vcc=3Vを印加し、他の非選択のワード線WL1, WL3に順バイアス方向の電圧Vu=-0.5Vを印加する。これにより、低電界側の記憶部、すなわちONした制御線の左側の記憶部の蓄積電荷量を反映してチャネルの導電率が有効に変化し、こ

れにより低電界側の記憶部の蓄積電荷量が読み出し電流量またはドレイン電圧を印加したビット線の電圧変化量に換算されて、記憶データとして読み出される。

【0111】ところで、本実施形態のメモリセル構造では、チャネル中央部分に対向する制御ゲート電極5を有し、列方向の制御ゲート電圧は制御線CLとして共通接続されている。したがって、読み出し対象のメモリセルと制御線を共有する非選択のメモリセルのチャネル中央部にチャネルをオンしようとする方向の電界が印加される。通常、この局部的な電界ではチャネルは有効にオンしないが、オフリーカ電流が多少なりとも増大する。とくに、読み出し対象の記憶部側が消去状態で、かつ過剰消去された状態にあるメモリセルなどでは、しきい値電圧が通常の消去レベルより低下しているため、この制御線による電界印加の影響が無視できなくなる。

【0112】一般に、メモリトランジスタが微細化されたNOR型メモリセルアレイにおいて、読み出し時に非選択セルからのビット線に流れるオフリーカ電流は、トランジスタのソースとドレイン間のパンチスルーパスとして起因している。たとえばメモリトランジスタのゲート長が0.13μm以下に微細化されると、ドレイン読み出し電圧を1.0V～1.5V程度にスケーリングしても、この電圧印加によりドレイン側から空乏層がソース側に延び、かつ、このドレイン印加電圧がソースと基板またはウエルとの間のポテンシャル障壁を実効的に低下させる。これはDIBL(Drain-Induced Barrier Lowering)効果と称され、この効果によりパンチスルーパス電流は増大する。

【0113】第5実施形態に係る読み出し方法では、上述したようにゲートに順バイアス方向の電圧を印加することにより、このパンチスルーパス電流を抑制する。nチャネル型トランジスタの場合にゲートに負電圧を印加することが、DIBL効果によって低下したソース側のポテンシャル障壁を元に戻す方向に作用するからである。

【0114】本発明者らの検討によれば、メモリトランジスタ部分のサブスレッショルド係数が100mV/d electrodeの場合、図20のメモリセルアレイにおいて順バイアス方向の電圧-0.5Vを印加すると、リーク電流が5桁改善される。また、サブスレッショルド係数が200mV/d electrodeの場合、順バイアス方向の電圧-0.5Vの印加によってリーク電流が2桁～3桁改善される。このような大きなリーク電流の改善は、非選択セルにおいて、読み出し対象セルと共有した制御線が活性化されて“ON”した場合であっても、その影響によるリーク電流の増大を順バイアス方向の電圧の印加によって抑制するだけでなく、逆に低減することができ、その結果、読み出し信号のS/N比が向上する。

【0115】とくに、消去状態のしきい値電圧が0.1V程度と小さい場合でも、非選択のワード線印加電圧(順バイアス方向の電圧)Vuを-0.5Vとするこ

とで、読み出しドレイン電圧を1.2Vとしたときのリーク電流を10nA/ μ m以下に抑えることができる。このとき読み出し電流が50 μ A/ μ m以上であるため、ビット方向のセル数が多くてもセンサアンプによる検出は十分可能である。また、種々の検討の結果、消去状態のしきい値電圧が小さいほど、順バイアス方向の電圧は絶対値で大きくする必要があることが分かった。とくに、消去状態がディプレッション領域にある場合でも、順バイアス方向の電圧の絶対値をある程度大きくすることでリーク電流を十分に低減し、精度よく読み出しが可能なことが分かった。この順バイアス方向の電圧の値はオフリーグ電流を低減する程度、具体的には、絶対値で1V未満で十分であることを実験により確かめることができた。

【0116】このソース電圧(基準電圧Vs)が0Vのときゲートに負電圧(順バイアス方向の電圧VuW)を印加する読み出し方法は、ソースとゲートの相対的な電位関係では、ソースを正電圧でバイアスレゲートを0Vとする従来のソースバイアス読み出し方法と同等である。したがって、本実施形態の読み出し方法を、ソースバイアス読み出し方法と併用することも可能である。

【0117】順バイアス方向の電圧VuWの大きさは、非選択セルの書き込み状態でのディステーブとの関係で、印加可能な電圧値が規定される。そこで、ゲートバイアス電圧-0.5Vでのリードディステーブ特性を検討した。しきい値電圧の測定値を外挿して求めた、10年後のしきい値電圧のウインドウは0.5V以上あつた。これにより、ゲートバイアス電圧-0.5Vの場合、10年後の読み出しは可能であることが確認できた。逆に、リードディステーブの限界から求めた印加可能なゲートバイアス電圧(順バイアス方向の電圧)の最大値は、ONO膜の仕様にもよるが、トンネル膜(ボトム誘電体膜)6-1が2.6~3.0nmの場合におおよそ-1.0V程度であった。また、本実施形態でホットキャリア注入書き込み方式を採用するMONOSの場合、ボトム誘電体膜6-1を4nm程度と比較的厚くすることが可能になる。その場合、非選択ワード線に-1Vまでの順バイアス方向の電圧VuWを印加することによって、データ保持特性に優れ、かつリードディステーブ特性が劣化しない動作が可能となる。

【0118】以上より、読み出し時に非選択ワード線に対し順バイアス方向の電圧(たとえば、負電圧)を印加することにより、選択セルからの読み出し電流を一定量確保しながらオフリーグ電流を有効に低減することが可能となった。その結果、読み出し信号のS/N比を高め、不揮発性半導体メモリの動作信頼性を向上させることができた。

【0119】ところで、不揮発性半導体メモリでは、通常、消去ペリファイによりメモリトランジスタの消去状態のしきい値電圧を抑えるシーケンスがある。このた

め、各メモリトランジスタの消去状態のしきい値電圧を抑えることは可能であるが、しきい値電圧を抑えるには余りに時間がかかり、高速な書き込みサイクルを実現するためにはペリファイ工程は出来るだけ簡略化することが望ましい。ここで、ある程度まで消去状態のしきい値電圧を収束させたら、それ以上のしきい値電圧の収束化は行わないで、あとは読み出し時のバイアス電圧の変更によりリーク電流を低減できれば、書き込みの高速化の観点からは好ましい。本発明の読み出し方法における順バイアス方向の電圧の印加は、書き込み時の消去ペリファイの簡略化との組合せにおいて書き込みサイクルの高速化に寄与する。

【0120】また、本発明の読み出し方法における順バイアス方向の電圧の印加は、ディプレッション化した非選択メモリトランジスタからのリーク電流低減だけを意図したものではなく、ゲート無バイアス時でもオフ状態にある非選択メモリトランジスタのオフリーグ電流を、さらに低いレベルまで低下させるために行う。ゲート長が0.13 μ m以下に微細化され、印加できる電圧値が制限され、またメモリセルアレイ内の記憶容量が増大する状況下では、読み出し電流値の低下に加え、DIBL効果に起因したオフリーグ電流が非選択セル数だけ積算されてビット線に重複されるため、読み出し信号のS/N比低下が、今後、益々深刻な問題となる可能性が高い。本発明の読み出し方法の適用により、このような状況下でもメモリセル信号を精度よく読み出すことが可能となる。

【0121】変形例

上記した第1から第5までの実施形態は、本発明の技術的思想の範囲内において種々の改変が可能である。たとえば、メモリトランジスタの電荷保持膜の構成は、上記実施形態で示した、いわゆるMONOS型に用いられる3層の誘電体膜に限定されない。電荷保持膜の要件は、積層された複数の誘電体膜を含むことと、電荷保持能力を有することの2点であり、これらの要件を満たす種々の構成を含んでいる。たとえば、いわゆるMNOS型などのように、二酸化珪素などからなるボトム誘電体膜と、その上に積層された塗化珪素などからなる電荷保持能力を有した膜との2層構造であってもよい。金属酸化物などからなる誘電体膜多くの電荷トラップを含むことが知られており、MONOS型またはMNOS型において、電荷保持能力を有した膜として採用可能である。

【0122】また、電荷保持を担う手段は電荷トラップに限定されず、導電体であってもよい。最も良く知られた、いわゆるFG型では2つの誘電体膜間に多結晶珪素などからなる導電膜を挟んだ構造を有している。そのほか、ボトム誘電体膜上に、微細な導電体を分散させて電荷保持媒体として用いた、その導電体同士を誘電体分離する膜で埋め込んだ構造がある。

【0123】この後者のメモリトランジスタ構造としては、代表的なものとして、いわゆるシリコンナノ結晶型がある。シリコンナノ結晶型では、酸化珪素または酸化珪素などからなるボトム誘電体膜上に、直径が10 nm以下、たとえば4.0 nm程度の微細なシリコン結晶粒を分散して形成する。ボトム誘電体膜厚は2.6 nm~5.0 nm程度である。シリコン結晶粒同士の間隔は、たとえば4 nm程度確保されている。このように空間的に分離された多数のシリコン結晶粒を覆って、二酸化珪素などの誘電体膜を、たとえば低圧CVD法にて数nm堆積する。この誘電体膜厚は、シリコン結晶粒径が4 nmの場合、たとえば7 nm程度である。このように形成した積層膜は、電荷保持能力を有した電荷保持膜として用いることができる。この場合でも、本発明の読み出し方法における順バイアス方向の電圧の印加によって、非選択セルからのオフリーカ電流を有効に低減し、読み出し信号のS/N比を高め、その結果として、シリコンナノ結晶型不揮発性半導体メモリ装置の動作信頼性を向上させることができる。

【0124】

【発明の効果】本発明に係る不揮発性半導体記憶装置、その動作方法によれば、2ビット記憶情報が確実に峻別されるため、いわゆる高温保持時の記憶ボケが起こらず、過剰書き込みがあってもしきい値電圧分布の急峻性を損ねず、また過剰消去されにくいため、動作信頼性が高い不揮発性半導体記憶装置が実現できる。また、過剰書き込みがあっても保持電荷量が一定値以上は増えにくいため、消去時間も必要最小限ですむ。また、基本的にスプリットゲート構造のセルであるため、書き込み時にソースサイド注入オペレーションが可能となり、通常のCHE注入方式と比較して、注入効率が大幅に改善される。さらに、書き込みまたは消去時にチャネル内でキャリアを加速させる際に、制御ゲート電極下方の高抵抗領域で電位勾配を上げることにより、キャリアが格子に衝突する際のエネルギー損を低減しながら加速電圧を有効にキャリアの励起に用いることができる。そのため、電荷保持膜（ゲート誘電体膜の記憶部）への電荷の注入効率が向上し、書き込み時間が短く、低電圧化に有利な不揮発性半導体記憶装置を実現できる。

【0125】書き換え動作を何度も繰り返すうちに、メモリゲート電極による電界の支配を受けない領域に電荷が溜まつても、この意図しない蓄積電荷による基板側への影響が誘電体分離層の存在により十分弱められ、その結果、リーク電流が低減される。また、メモリセルアレイ内で選択セルと制御ゲート電極を共有する列方向の非選択セルからのオフリーカ電流は、非選択のワード線に順バイアス方向の電圧を印加するという本発明の読み出し方法によるオペレーションによって低減される。以上より、不揮発性半導体記憶装置の動作信頼性が向上する。

【0126】さらに、いわゆるVG型メモリセルアレイを採用しても、動作時のシリアルアクセスが可能となる。とくに書き込みにおいては、最低で2回の書き込みサイクルで1ワード線に連なる全てのメモリセル書き込みが終了するため、上記した書き込み時間の短縮と併せて書き込み性能が非常に高い不揮発性半導体記憶装置を実現できる。また、読み出しでは4回の読み出しサイクルで1ワード線に連なる全てのメモリセルを読み出せる。

【0127】本発明に係る不揮発性半導体記憶装置の製造方法では、上記した種々の利点を有した制御ゲート電極を設けるための工程が、2回の成膜と1回のフォトリソグラフィの追加で済む。また、誘電体分離層の形成工程は、さらに1回の成膜と1回のフォトリソグラフィの追加で済む。これらの工程追加は全体の製造工程では僅かであり、大幅なコスト増の要因とならない。したがって、上記した2ビット記憶化とVG型セルアレイの採用によりビットコストは大幅に低減する。

【図面の簡単な説明】

【図1】(A)は、第1実施形態に係るメモリセルの構造を示す断面図である。(B)は、(A)のメモリセルの平面図である。

【図2】第1~第5実施形態に係るメモリセルの等価回路図である。

【図3】第1~第5実施形態に係るメモリセルアレイのうち、いわゆる分離ソース線NOR型メモリセルアレイを示す回路図である。

【図4】第1~第5実施形態に係るメモリセルアレイのうち、いわゆるVG型メモリセルアレイの回路図である。

【図5】第1実施形態に係るメモリセルの製造における断面図であり、(A)は制御ゲート電極形成後、(B)はカウンタードープ時、(C)はサイドウォール形成後、(D)はメモリゲート電極形成後を示す各断面図である。

【図6】第1~第5実施形態に係る書き込み方式として、CHE注入を用いる第1の方法を示す図である。

【図7】第1~第5実施形態に係る書き込み方式として、ブレークダウンによる高エネルギー電荷を注入する第2の方法を示す図である。

【図8】第2実施形態に係るメモリセルアレイの平面図である。

【図9】第2実施形態に係るメモリセルの断面図であり、(A)は図8のA-A線に沿った断面図、(B)は図8のB-B線に沿った断面図、(C)は図8のC-C線に沿った断面図である。

【図10】第2実施形態に係るメモリセルの製造における断面図であり、(A)は制御ゲート電極のパターン形成後、(B)はカウンタードープ時、(C)はサイドウォール形成後、(D)はメモリゲート電極形成後を示す

各断面図である。

【図1 1】第3実施形態に係るメモリセルアレイの平面図である。

【図1 2】第3実施形態に係るメモリセルの製造における断面図であり、(A)は制御ゲート電極のパターン形成後、(B)はカウンタードープ時、(C-1)はS/D不純物領域形成後、(C-2)は電荷保持膜形成後、(D)はメモリゲート電極形成後を示す各断面図である。

【図1 3】第4実施形態に係るVG型セルアレイのシリアル動作例として、第2行の6メモリセルに、12ビットデータ(1, 0, 1, 0, 0, 0, 0, 1, 0, 1, 1, 1)を2回のCHE注入書き込み動作で並列書き込みする場合の説明図である。

【図1 4】第4実施形態に係るVG型セルアレイのシリアル書き込み動作の1回目を説明した回路図である。

【図1 5】第4実施形態に係るVG型セルアレイのシリアル書き込み動作の2回目を説明した回路図である。

【図1 6】第4実施形態に係るVG型セルアレイのシリアル読み出し動作の1回目を説明した回路図である。

【図1 7】第4実施形態に係るVG型セルアレイのシリアル読み出し動作の2回目を説明した回路図である。

【図1 8】第4実施形態に係るVG型セルアレイのシリアル読み出し動作の3回目を説明した回路図である。

【図1 9】第4実施形態に係るVG型セルアレイのシリ

アル読み出し動作の4回目を説明した回路図である。

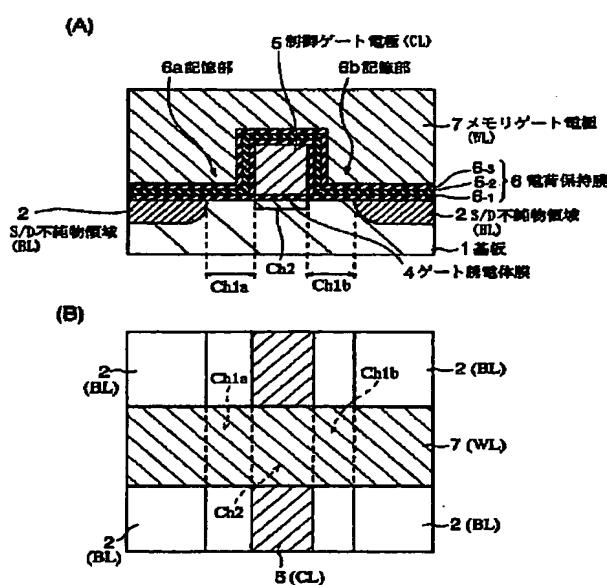
【図2 0】第5実施形態に係る分離ソース線NOR型メモリセルアレイのシリアル読み出し動作の1回目における電圧印加条件を示す回路図である。

【図2 1】第5実施形態に係るVG型セルアレイのシリアル読み出し動作の1回目における電圧印加条件を示す回路図である。

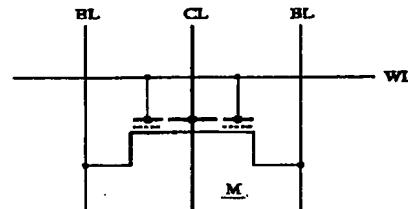
【符号の説明】

1…基板(第1導電型半導体)、1a…高閾値チャネル領域(内側チャネル領域)、1b…p型の不純物、2…ソース・ドレイン(S/D)不純物領域(第2導電型の不純物領域)、4…ゲート誘電体膜(単層の誘電体膜)、5…制御ゲート電極、6…電荷保持膜、6-1…ボトム誘電体膜、6-2…主電荷蓄積膜、6-3…トップ誘電体膜、6a, 6b…記憶部、7…メモリゲート電極、7a, 7b…導電性サイドウォール、8…サイドウォール、M, M1等…メモリセル、BL, BL1等…ビット線、CL, CL1等…制御線、WL, WL1等…ワード線、Ch1a, Ch1b…外側チャネル領域、Ch2…内側チャネル領域、Vc…共通電圧、Vs…ソース電圧(または基準電圧)、Vd…ドレイン電圧、Vwg…メモリゲート電圧、Vcg…制御ゲート電圧、Vuw…順バイアス電圧(読み出し時の非選択ワード線に印加する電圧)。

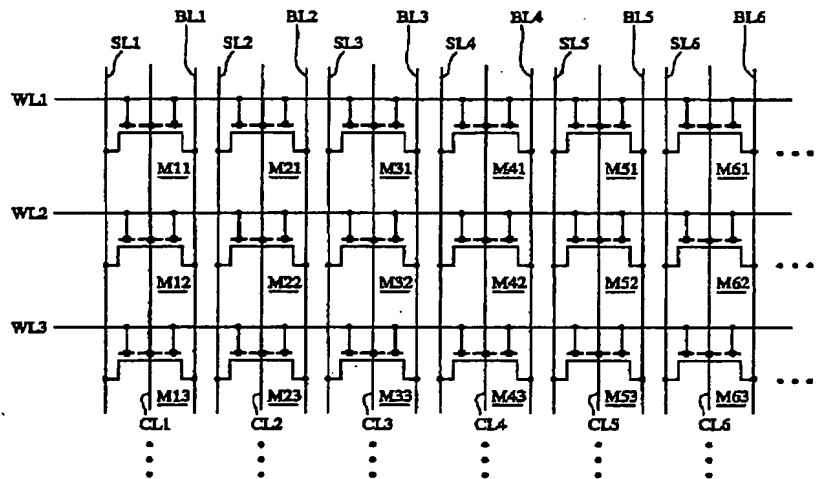
【図1】



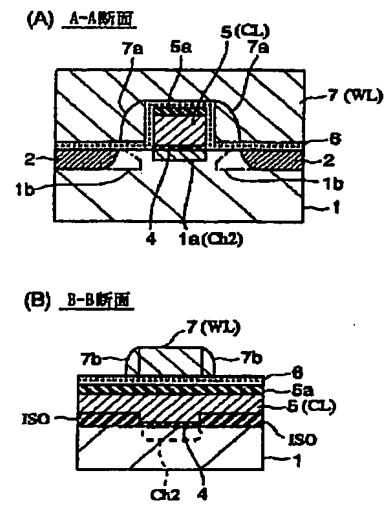
【図2】



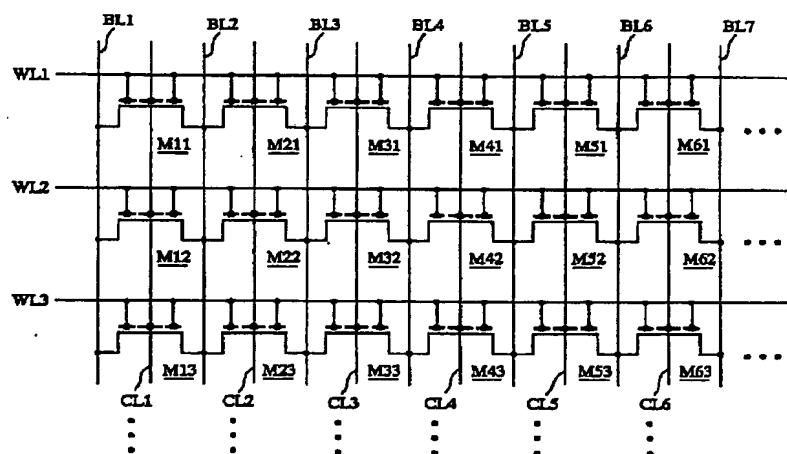
【図3】



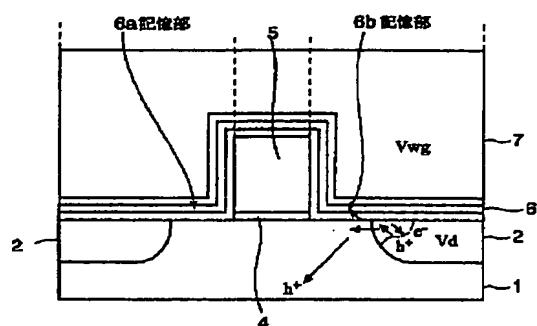
【図9】



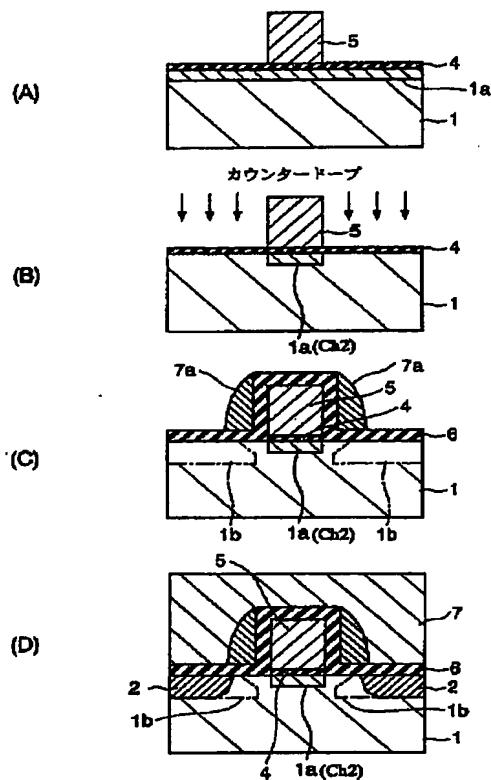
【図4】



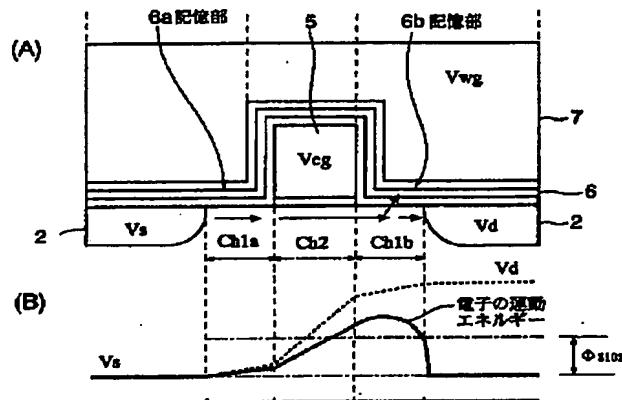
【図7】



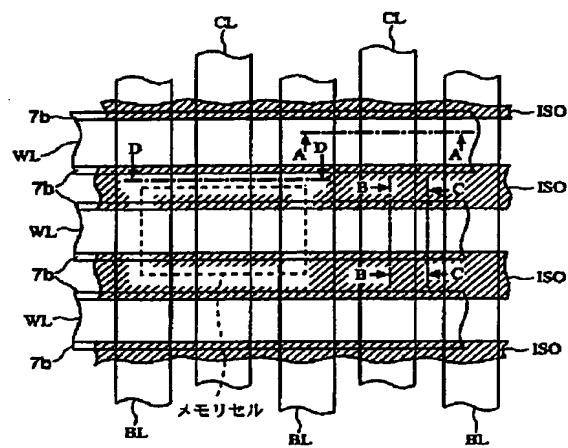
【図5】



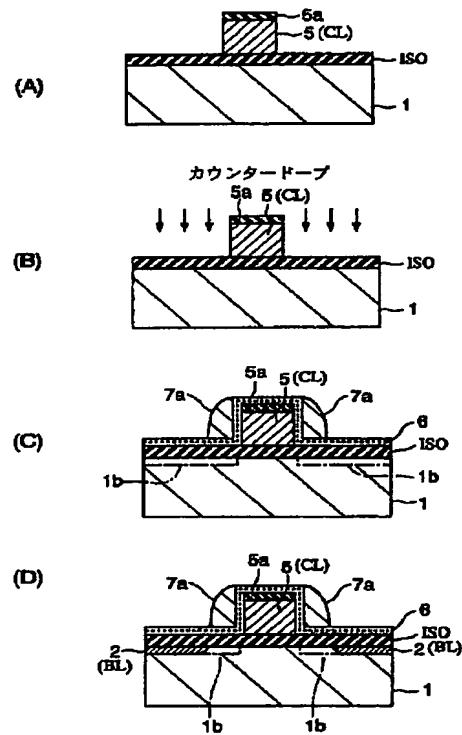
【図6】



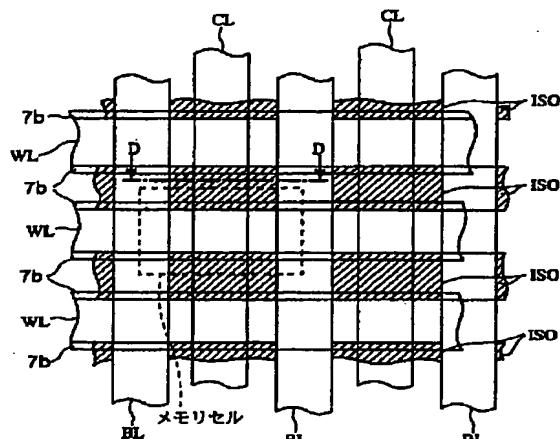
【図8】



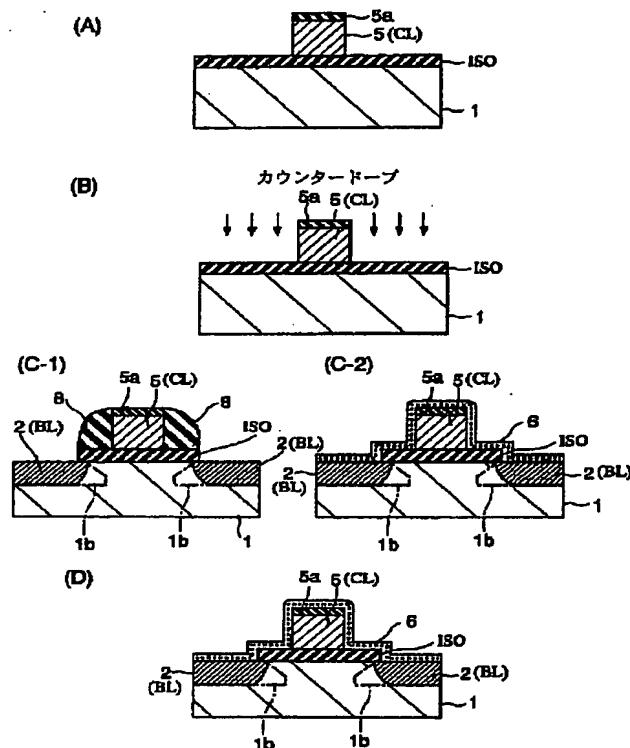
【図10】



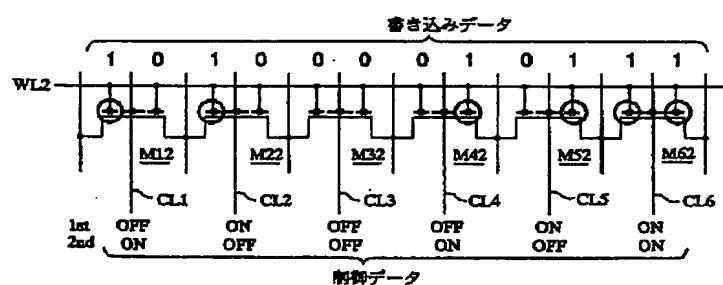
【図11】



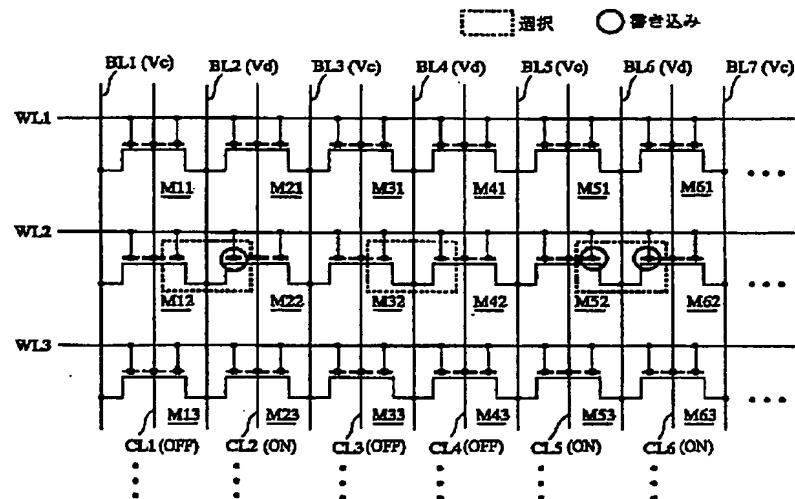
【図12】



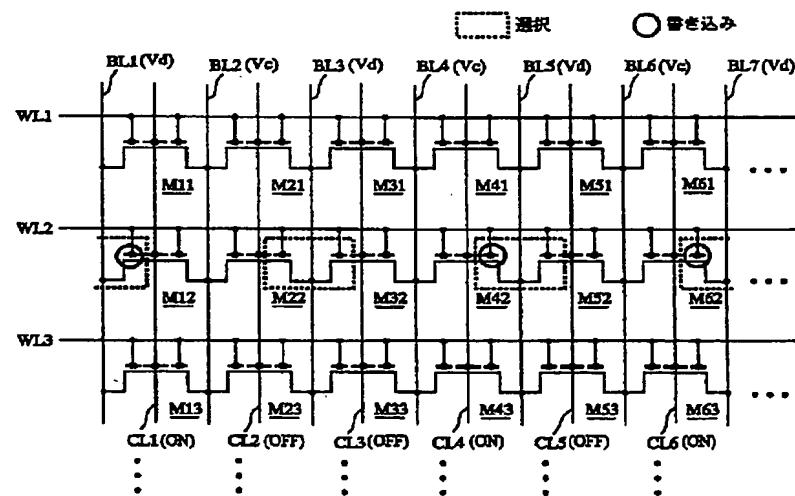
【図13】



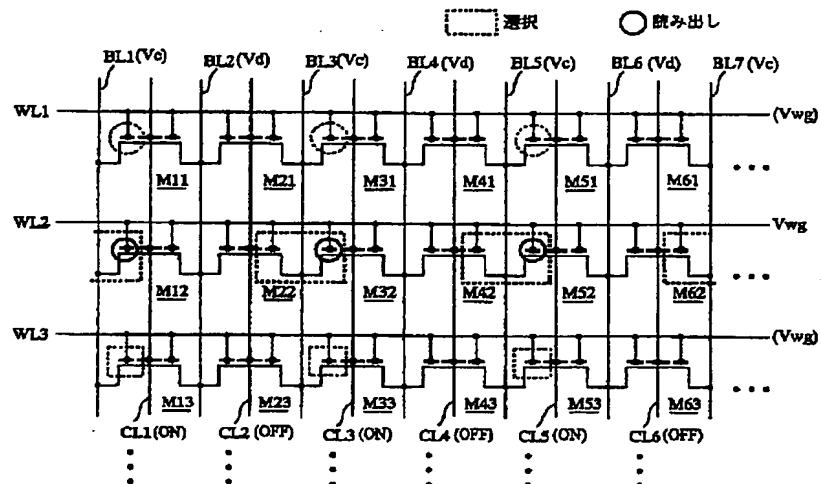
【図14】



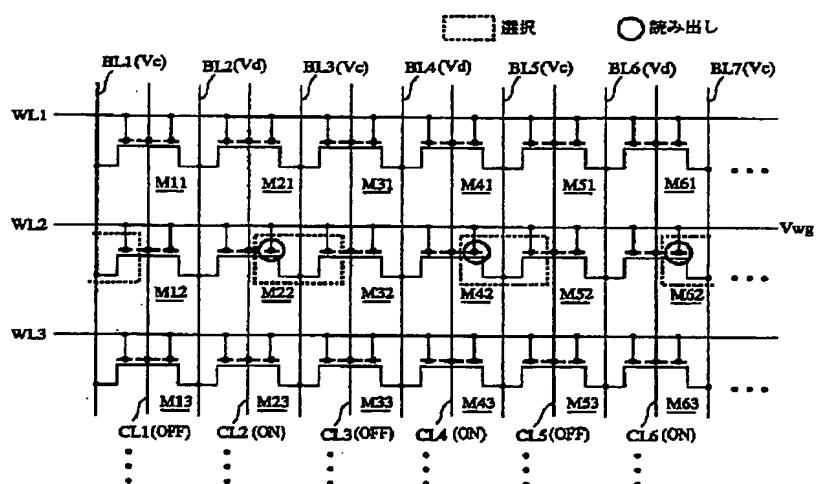
【図15】



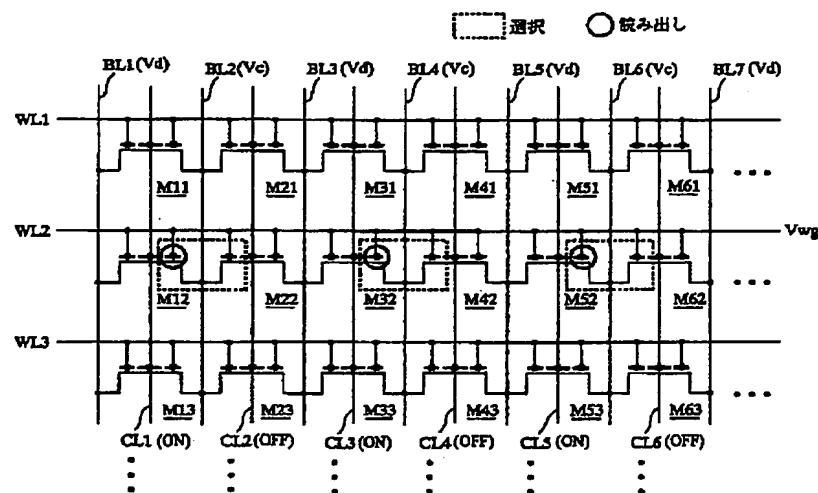
【図16】



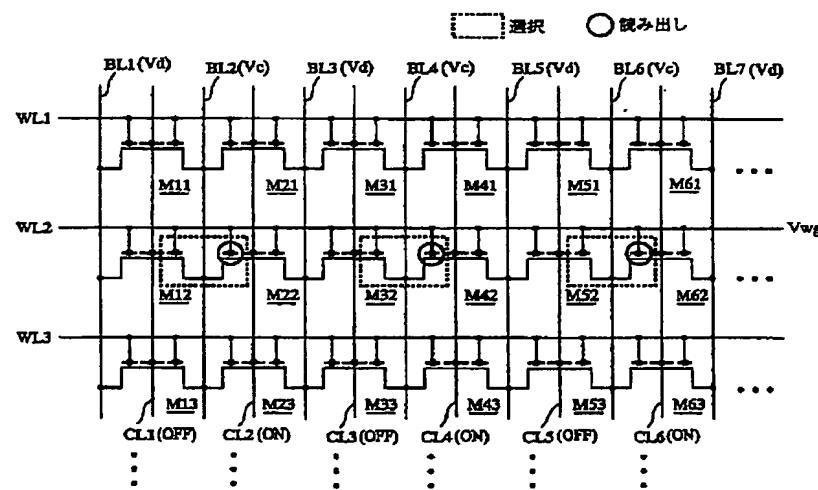
【図17】



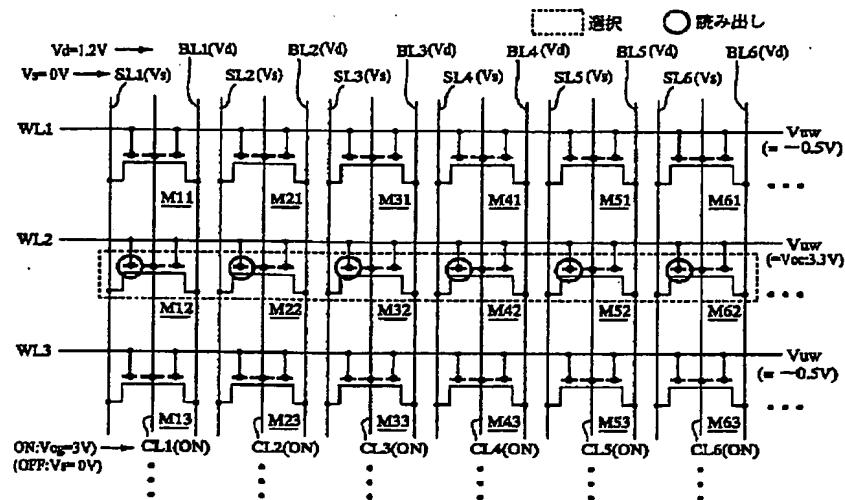
[图18]



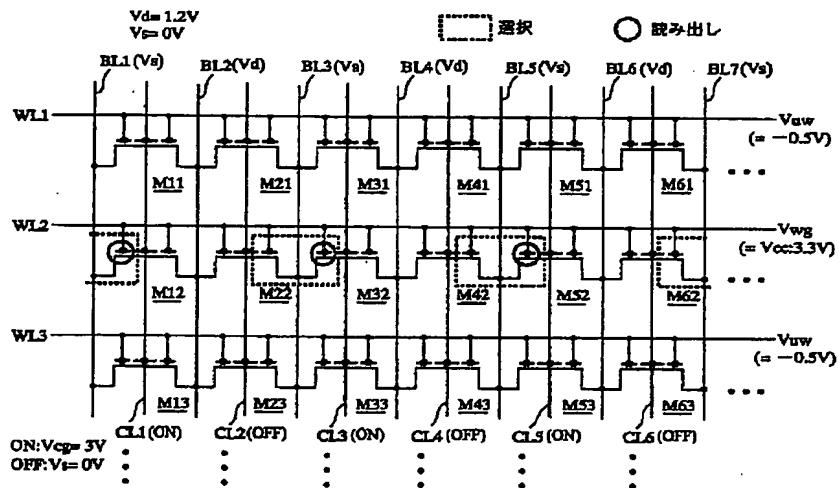
【図19】



【図20】



【図21】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

マーク (参考)

H O I L 27/115

(72) 発明者 藤原 一郎

東京都品川区北品川6丁目7番35号 ソニ
一株式会社内

Fターム(参考) 5B025 AA07 AB03 AC03 AE05 AE06
AE07 AE08
5F001 AA02 AA13 AA14 AA19 AB02
AB03 AC06 AD05 AD52 AD60
AD62 AF20 AG12 AG28
5F083 EP02 EP07 EP18 EP22 EP25
EP26 EP77 ER02 ER04 ER05
ER11 ER15 ER30 JA22 KA06
KA12 PR06 PR07 PR12 PR13
PR36 PR37 ZA21
5F101 BA02 BA45 BA46 BA54 BB02
BB04 BC11 BD31 BD33 BD35
BD37 BF05 BH09 BH13